



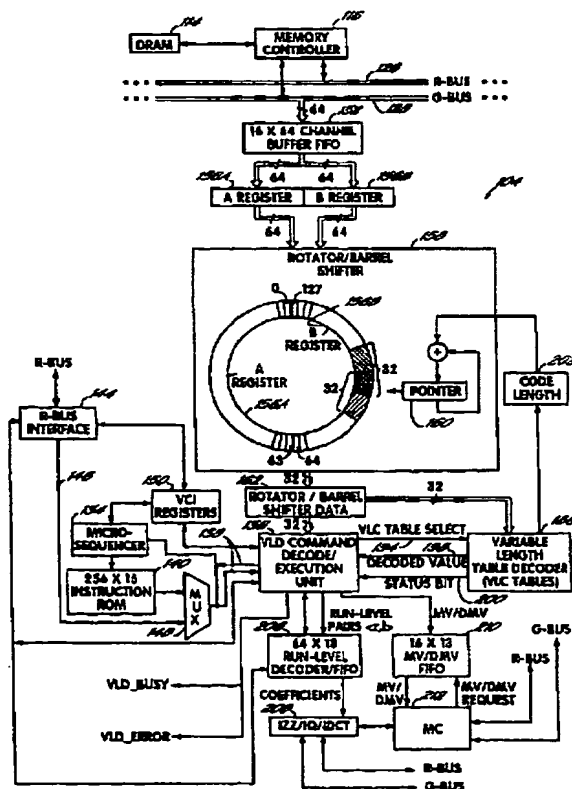
## INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(51) International Patent Classification <sup>6</sup> : G06T	A2	(11) International Publication Number: WO 99/60521 (43) International Publication Date: 25 November 1999 (25.11.99)
(21) International Application Number: PCT/US99/10659 (22) International Filing Date: 14 May 1999 (14.05.99) (30) Priority Data: 60/085,797 18 May 1998 (18.05.98) US 09/280,437 29 March 1999 (29.03.99) US (71) Applicant: SONY ELECTRONICS INC. [US/US]; 1 Sony Drive, Park Ridge, NJ 07656 (US). (72) Inventors: BUBLIL, Moshe; 1290 Fremont Terrace West, Sunnyvale, CA 94087 (US). BOSE, Subroto; 3516 Oxford, Santa Clara, CA 95051 (US). GADRE, Sirish, C.; 1265 N. Capitol Avenue #78, San Jose, CA 94132 (US). (74) Agents: BRINKMAN, David, H. et al.; Wood, Herron & Evans, L.L.P., 2700 Carew Tower, Cincinnati, OH 45202 (US).		(81) Designated States: AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, UZ, VN, YU, ZA, ZW, ARIPO patent (GH, GM, KE, LS, MW, SD, SL, SZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).  Published Without international search report and to be republished upon receipt of that report.

(54) Title: VARIABLE LENGTH DECODER FOR DECODING DIGITALLY ENCODED VIDEO SIGNALS

## (57) Abstract

A variable length decoder (VLD) (104) for decoding MPEG-1 and -2 syntax compliant video bit streams. The VLD (104) includes a micro-sequencer (134) and VLD command decode/execution unit (136) for controlling the MPEG decoding process using a novel instruction set (214a, 214g). The instruction set (214a-214g) includes a set of commands for decoding the video data and a set of flow control instructions. A rotator/barrel shifter (158) is provided for making a predetermined number of encoded bits from the video bit stream available to the VLD (104) and a variable length table decoder (186) for variable length decoding using the MPEG standard variable length code (VLC) tables. The variable length table decoder (186) shares a prefix pattern matching scheme across all of the VLC tables and organizes the variable length codes into a series of subtables. Each subtable corresponds to one of the unique prefix patterns. Variable length codes are decoded by identifying a leading pattern in the video data bit stream and, in parallel, accessing the subtable corresponding to that leading pattern. Run-length and amplitude level DCT coefficient symbols are stored in compressed form, and decoded as needed by an inverse transform unit (208). Motion vectors are also stored until needed by a motion compensation unit (212).





号化データを受信すると共に、対応する復号化値をコマンド復号化及び実行回路(142)に供給する可変長テーブルデコーダ(186)をさらに有することを特徴とする請求項1記載の可変長デコーダ(104)。

【請求項5】 コマンド復号化及び実行回路(136)は、MPEGシンタックスに従った可変長符号化データを復号化することを特徴とする請求項1記載の可変長デコーダ(104)。

【請求項6】 コマンド復号化及び実行回路(136)は、可変長符号化データを復号化して、それぞれランレングス値と振幅レベル値とからなるDCT係数シンボルを得ることを特徴とする請求項5記載の可変長デコーダ(104)。

【請求項7】 コマンド復号化及び実行回路(136)に接続され、DCT係数シンボルを圧縮されたランレングスと振幅レベルの対として記憶するファーストインファーストアウトメモリ及びデコーダ(206)をさらに有することを特徴とする請求項6記載の可変長デコーダ(104)。

【請求項8】 ファーストインファーストアウトメモリ及びデコーダ(206)に接続された逆DCT変換回路(208)をさらに有し、ファーストインファーストアウトメモリ及びデコーダ(206)が、ランレングスと振幅レベルの対の圧縮解除を行って、送信されたフレームの画像データを再構成する際にDCT変換回路(208)により使用されるDCT係数を得ることを特徴とする請求項7記載の可変長デコーダ(104)。

【請求項9】 コマンド復号化及び実行回路(136)は、可変長符号化データを復号化して動きベクトル値を得ることを特徴とする請求項5記載の可変長デコーダ(104)。

【請求項10】 コマンド復号化及び実行回路(136)に接続され、動きベクトル値を記憶するファーストインファーストアウトメモリ(210)をさらに有することを特徴とする請求項9記載の可変長デコーダ(104)。

【請求項11】 ファーストインファーストアウトメモリ(210)に接続された動き補償回路(212)をさらに有し、ファーストインファーストアウトメモリ(210)が、送信されたフレームの画像データを再構成する際に動き補償回路(212)に動きベクトル値を供給することを特徴とする請求項10記載の

可変長デコーダ(104)。

【請求項12】 可変長コードテーブルを用いて、送信されたフレームの画像エリアを表す可変長符号化データからなる圧縮ビデオデータを復号化する可変長テーブルデコーダ(186)であって、

可変長符号化データを記憶するメモリ(156A、156B、162)と、メモリ(156A、156B)に関連して、可変長符号化データの所定数のビット(162)を認識可能にするシフト回路(164)と、

メモリ(156A、156B)及びシフト回路(164)に接続され、シフト回路(164)により認識可能とされた可変長符号化データ(162)におけるユニークプレフィクスパターンを識別するパターンマッチ回路(188)と、

複数の可変長コードのそれぞれに関連する復号化値を有し、可変長コードにおけるユニークプレフィクスパターンにそれぞれ関連する複数のサブテーブルデータからなる可変長コードテーブルデータと、

パターンマッチ回路(188)に応じて、可変長符号化データにおける識別されたプレフィクスパターンとマッチする可変長コードにおけるユニークプレフィクスパターンに関連するサブテーブルデータから復号化値(198)を得ると共に、識別されたプレフィクスパターン後の可変長符号化データにおける追加データとマッチするユニークプレフィクスパターン後の可変長コードにおける追加データを取得する制御回路(190、192)とを有し、

シフト回路(164)により認識可能とされた可変長符号化データ(162)を、パターンマッチ回路(188)とサブテーブルデータ回路のそれぞれに接続して、パターンマッチ回路(188)とサブテーブルデータ回路のそれぞれに対して可変長符号化データを(162)を同時に送るデータバス(196)を設けることを特徴とする可変長テーブルデコーダ(186)。

【請求項13】 可変長コードのそれぞれが関連するコード長を有し、制御回路(190、192)は、パターンマッチ回路(188)に応じて、可変長符号化データにおける識別されたプレフィクスパターンとマッチする可変長コードにおけるユニークプレフィクスパターンに関連するサブテーブルデータ回路からコード長(202)を得ると共に、識別されたプレフィクスパターン後の可変長符

り化データにおける追加データとマッチするユニークプレフィクスパターン後の可変長コードにおける追加データを得ることを特徴とする請求項12記載の可変長データコード(186)。

【請求項14】 シフト回路(164)は、メモリ(156A、156B)における可変長符号化データを選択的にシフトする複数のセレクト回路を有することを特徴とする請求項第12項記載の可変長データコード(186)。

【請求項15】 複数のセレクト回路は複数のセレクトステージに配置され、各セレクトステージが、2のべき乗でメモリ(156A、156B)における可変長符号化データをシフトする、あるいは、可変長符号化データのシフトを全く行わないことを特徴とする請求項14記載の可変長データコード(186)。

【請求項16】 セレクトステージのうちの少なくとも1つは、前のセレクトステージより少ないセレクト回路を有することを特徴とする請求項15記載の可変長データコード(186)。

【請求項17】 各セレクトステージは、その前のセレクトステージより少ないセレクト回路を有することを特徴とする請求項15記載の可変長データコード(186)。

【請求項18】 シフト回路(164)は、最後に得られたコード値に応じて、得られたコード値と等しい数のビット分だけメモリ(156A、156B)における可変長符号化データをシフトすることを特徴とする請求項14記載の可変長データコード(186)。

【請求項19】 可変長コードデータを用いて、送信されたフレームの画像エリアを表す複数の可変長符号化データからなる圧縮ビデオストリームを復号化する方法であって、

複数の可変長コードのそれぞれに関連する復号化値を有する可変長コードデータを定義し、

可変長コードに関連する複数のユニークプレフィクスパターンを定義し、

各サブパターンが可変長コードにおけるユニークプレフィクスパターンのうちのいずれかに関連すると共にユニークプレフィクスパターンに関連する少なくとも

も1つの復号化値とユニークプレフィクスパターン後の可変長コードにおける追加データとを有するように構成された複数のサブパターンを定義し、

可変長符号化データにおいて、可変長コードに関連するユニークプレフィクスパターンのうちの1つを識別し、

複数のサブパターンのそれぞれに対して可変長符号化データを同時に送り、

可変長符号化データにおける識別されたプレフィクスパターンとマッチする可変長コードにおけるユニークプレフィクスパターンに関連するサブパターンから復号化値(198)を得ると共に、識別されたプレフィクスパターン後の可変長符号化データにおける追加データとマッチするユニークプレフィクスパターン後の可変長コードにおける追加データを得る

工程を有することを特徴とする方法。

【請求項20】 コード長を複数の可変長コードのそれぞれに関連させ、

可変長符号化データにおける識別されたプレフィクスパターンとマッチするプレフィクスパターンを有する可変長コードに関連するコード長(202)と、識別されたプレフィクスパターン後の可変長符号化データにおける追加データとマッチするプレフィクスパターン後の追加データとを得る

工程をさらに有すること特徴とする請求項19記載の方法。

## 【発明の詳細な説明】

## 【0001】

相互参照

本願は、1998年5月18日に出願された係属中の仮特許出願60/085797の優先日を主張し、その開示内容を全体として参照することにより特に本願に組み込むものとする。

## 【0002】

発明の分野

本発明はデジタル符号化されたビデオ信号の復号化に関し、特に、固定長の値や可変長コードを用いて符号化されたビデオデータや制御情報を復号化するデコーダに関する。

## 【0003】

発明の背景

近年、特に家庭用電子機器業界においてビデオ信号のデジタル送信が普及している。このようなデジタルビデオ信号送信の使用や、例えばDVD (digital versatile disc) プレーヤやデジタルビデオ放送 (DVB) セットトップボックスでの受信の普及により、送信された画像シーケンスの画質や、既存のNTSCやPALアナログ送信システムにおけるビデオ信号の記憶、操作、表示をより効果的に制御する性能が改善している。このような高性能化を促進するため、業界は、国際標準化機構 (ISO) に規定されるMPEG (Moving Picture Experts Group) によって提唱されるデジタルビデオ圧縮のフォーマット、すなわち、ISO-11172-2 (MPEG-1) 及びISO-13818-2 (MPEG-2) という2つの規格で定義されたビデオビットストリームを符号化するためのシントックスを特定している。以下の説明では、これらの規格によるビデオ信号をデジタル符号化するのに使用されるビットストリームシントックスをより詳細に説明するため、ISO-11172-2 (MPEG-1) 及びISO-13818-2 (MPEG-2) を参照する。これらの規格はいずれも全体として参照することにより、特に本明細書に組み込むものとする。

## 【0004】

MPEG-1及びMPEG-2により定義されるビットストリームシントックスは、ビットストリームにおける一般的な3種類の情報又はデータ、すなわち、ビットストリームを定義するのに必要な制御情報と、送信された画像シーケンスを適切に圧縮解除し再生するのに必要な制御情報と、符号化されたビデオデータとに関するものである。ビットストリーム制御情報は、ビットストリームがパケット化されたビデオ又はオーディオデータであること、あるいは、ビットストリームが例えばMPEG-1又はMPEG-2のいずれかを用いて符号化されたビデオ信号であることを識別することもできる。画像制御情報には、例えばフレームの縦横のサイズ、すなわち、ライン毎の画素 (ペル) 数、フレーム毎のライン数、フレーム又はフィールドレート、アスペクト比等が含まれる。以下により詳細に説明するが、符号化されたビデオデータは、各フレーム又はフィールドの再形成に必要な、DC T変換及び量子化が施されたクロミナンス及び輝度ペル値を表す。

## 【0005】

MPEG-1及びMPEG-2はそれぞれ、空間的及び時間的冗長性を除去することにより情報密度及び符号化効率を改善するように構成されたビットストリームシントックスを特定する。各MPEGピクチャは、16×16輝度ペル (Y)、又は、4つの8×8変換ブロックのペルの2×2の列からなる一連のマクロブロックに分割される。各マクロブロックは、さらに8×16クロミナンスペル (U、V)、又は、2つの8×8ブロックのペルの1×2の列からなる。符号化プロセスでは、8×8ペルブロックの離散的コサイン変換 (DCT) 符号化の後に、量子化、ジグザグスキャン、ゼロであるラン (ランレングス) 及び振幅レベルの可変長符号化を行うことにより空間的冗長性が除去される。時間的冗長性を除去するには動き補償予測を用いる。

## 【0006】

ビデオに関しては、MPEGではイントラ (I) フレーム、順方向予測 (P) フレーム、双方向予測 (B) フレームを考慮する。Iフレームは独立して符号化され、3つのフレームタイプのうち符号化効率が最も悪い。PフレームはIフレームより符号化効率が良く、その前に符号化されたI又はPフレームに関して符

号化される。Bフレームは3つのフレームタイプのうち符号化効率が悪く、前後のI又はPフレームの両方に関して符号化される。MPEGシステムにおけるフレームの符号化の順序は、フレームのプレゼンテーション順と必ずしも同じではない。ビットストリームのヘッダにより、デコーダが動画のプレゼンテーションのためのフレームの時間及びシーケンスを適切に復号化するために使用する情報が得られる。

#### 【0007】

デジタル送信されたビデオビットストリームを復号化するのに使用される一般的なビデオデコーダは、ビットストリームのパージングを行ってMPEG可変長コードテーブル(VLC)を用いて量子化DCT係数及び動きベクトルを復号化するように構成された可変長デコーダ(VLD)を制御するためのマイクロコントローラ又はシーケンサを備えている。各ブロックの量子化係数値をそのブロックの逆ジグザグを表す値のストリームに変換し、その値を逆量子化するには、逆変換プロセッサを用いる。逆量子化されたDCT係数は、逆DCT変換を行ってクロミナンス及び輝度レベル値を回復する逆離散コサイン変換(IDCT)プロセッサに供給される。そして、これらの値は復号化された動きベクトルと共に動き補償(MC)プロセッサに供給され、動き補償プロセッサがMPEG圧縮解除を行ってI、P、Bフレームをフルビデオフレームに変換する。

#### 【0008】

MPEGシンタックス準拠のビットストリームのパージング及び復号化を行う一般的なVLD構造では、ビデオビットストリームの所定数の未復号化ビットが1以上のレジスタに記憶される。VLDは、これらのビットのうちの少数のビットをレジスタから抽出し、最も左のビットが常にVLDにより抽出された最初のビットに整合するようにになっている。そして、VLDはMPEG VLCテーブルのうちの1つのルックアップを行い、可変長符号化データを復号化すると共にコード長を得る。抽出されたビットにおける可変長コードを復号化した後、VLDはレジスタ内のビットに対してマスク/シフト/OR(MASK/SHIFT/OR)処理を行い、レジスタ内の最も左の位置にある最初の未使用ビットの再整合を行う。VLCテーブルは、通常、約 $2^n \times m$ 個のメモリ位置を有する1以

上のPAL又はROMIに含まれている。ここで、「n」はVLCテーブルのそれそれにおいて可能な最大可変コード長を表し、「m」はユニークVLCテーブル数を表す。

#### 【0009】

なお、VLD構造によっては、復号化プロセス後の未使用ビットの整合に必要なシフト/マスク/OR処理によりVLDの全体的な復号化速度が大幅に影響されることは、当該分野の技術者にとっては明らかであろう。これらの処理はそれぞれ1サイクル以上を必要とすることがあるため、各DCT係数シンボル(すなわち、ランレングス及び振幅レベルの各対)を復号化して未使用ビットの再整合を行うのにVLDが多数のサイクルを必要とするので、VLDの復号化効率は大幅に低下してしまう。さらに、VLD構造によっては、各ユニークVLCテーブルの各可変長コードが別々のメモリ位置に記憶されるので、VLCテーブルがVLDのコストと複雑性を増加させてしまう。

#### 【0010】

従って、MPEG-1又はMPEG-2規格により符号化された可変長DCT係数及び動きベクトルを効率的に復号化するVLDが必要である。また、種々のMPEG可変長コードを復号化するのに必要なメモリ量を最小限にするVLDが必要である。さらに、所定のインストラクションセットに従ってマイクロプロセッサからインストラクションを受信すると共にマスタコントローラからインストラクションを受信するVLDが必要である。

#### 【0011】

米国特許出願第502493号(US-A-5,502,493)では、可変長デコーダにより構成されるMPEG信号のデコーダを開示している。

#### 【0012】

ITU-T勧告H.222.0、情報通信技術—動画及び関連するオーディオ情報の一般的符号化：システム、1995年7月(ITU-T Recommendation H.222.0, Information Technology - Generic Coding of Moving Pictures and Associated Audio Information: Systems, July 1995)(ISO/IEC国際規格13818-1と同じ)では、オーディオ及びビデオデータが復号化の前にデマル

チプレクスされるシステムを開示している。

#### 【0013】

また、米国特許出願第5604499号 (US-A-5,604,499) では、圧縮されたビデオデータを変長コードテーブルを用いて復号化する可変長テーブルデコーダを開示している。

#### 【0014】

##### 発明の概要

本発明は、特にMPEG-1及びMPEG-2シンタックス準拠のビデオビストリームを復号化するのに適した可変長ビデオコードにより実現される。このビデオコードは、マクロブロックと個々のスライスからなるブロックレイヤとを復号化してDCT係数値と動きベクトルを生成する、1サイクル当たり単一イベントのスライスハージングエンジンとして構成される。

#### 【0015】

このビデオコードは、MPEG規格により可変長復号化プロセスを制御するVLCコマンド復号化/実行ユニットとのインターフェースを行うマイクロシーケンサを備える。復号化プロセスにおいて、マイクロシーケンサは、可変長復号化を行うVLCコマンド復号化/実行ユニットに対するコマンドの送出、又は、インストラクションROMに記憶されるインストラクションセットを通して得られるプログラムの制御のいずれかを行う。さらに、ビデオコードは、上位レイヤハージングや復号化された画像シーケンスの再構成のための全体的な復号化プロセスの制御を司るRISC CPUからのデコードインストラクションを受信することができる。

#### 【0016】

符号化されたビデオデータはDRAMメモリに記憶され、チャネルバッファFIFOを介してビデオコードに供給可能とされる。本発明によれば、これら符号化されたビデオデータビットのうちの所定数が、ロータ/バレルシフト及びポインタレジスタを使用して、ビデオコードと可変長テーブルデコードに対して認識可能とされる。バレルシフト及びポインタレジスタは、ポインタアドレス+31までのポインタアドレスからのビットをロータ/バレルシフトデータと

して、ビデオコードと可変長テーブルデコードの両方に対して認識可能とする。ビデオコードは、ロータ/バレルシフトデータの可変長コードを復号化して、各スライス毎に必要なDCT係数と動きベクトルを得る。可変長コードが復号化された後、ロータ/バレルシフトのポインタレジスタはインクリメントされ、次の復号化サイクルの準備を行う。

#### 【0017】

また、本発明によれば、ビデオコードが各MPEG VLCテーブルにアクセスして必要な復号化された値を得ることを可能にするため、新規な方式が提供される。各MPEG VLCテーブルは、各テーブルにおいて識別されたコミュニケーションフィクスパターンにより定義される一連のサブテーブルに分割されている。可変長復号化プロセスにおいて、抽出されたロータ/バレルシフトデータの32ビットが、可変長テーブルデコードにおけるパターンマッチロジック及びMUXコントロールに用いられ、ロータ/バレルシフトデータのユニークプレフィクスパターンを識別する。同時に、プレフィクスパターンの後のビットが、各MPEG VLCテーブルのサブテーブルすべてに用いられる。可変長符号化されたデータが復号化された後、可変長テーブルデコードは復号化された値と有効コードステータスビットを供給する。また、可変長テーブルデコードは、ロータ/バレルシフトのポインタレジスタにコード長信号を供給して、ポインタレジスタをコード長によりインクリメントする。

#### 【0018】

さらに、本発明によれば、復号化されたDCT係数は圧縮されたランレングスと振幅レベルの対として、ランレベルデコード/FIFOに記憶される。ランレベルデコード/FIFOは、ランレングスと振幅レベルの対の圧縮解除を行って、逆変換ユニットに必要なDCT係数を得る。これにより、ハフマン符号化された可変長の対の復号化を、先に復号化されたランレベルの対のランレベル復号化と同時に行うことが可能となる。動きベクトルは、動き補償ユニットで必要となるまでmv/dmv/FIFOに記憶される。

#### 【0019】

本発明の上述の及び他の特徴、目的、利点については、添付図面とその説明に

より明らかにされる。

#### 【0020】

##### 好ましい実施例の詳細な説明

図面を参照して、特にFig. 1を参照して、デジタル符号化されたビデオ信号のオーディオ／ビデオ復号化や圧縮解除されたビデオ画像のプレゼンテーションを行うための種々の機能モジュール102～112を備えた復号化システム100を示す。好ましくは、復号化システム100は、例えば、DVD(digital versatile disk)やデジタルビデオ放送(DVB)セットトップボックス(STB)等におけるデジタルオーディオ／ビデオ受信を目的とした特定用途向けIC(ASIC)として構成される。なお、Fig. 1に示す機能ユニットは例であり、実際にはさらに機能ユニットを追加してもよい。機能ユニット102～112はそれぞれ、ダイナミックランダムアクセスメモリ(DRAM)である大型オフチップメモリ114と種々の方法でインタラクションを行う。DRAM114へのアクセスはASIC100上のメモリコントローラ116により制御される。

#### 【0021】

例として、ASIC100の機能ユニットのうちの幾つかについて説明する。これらの機能ユニットには、好ましくはデジタル符号化されたビデオ／オーディオ入力信号をライン118にて最大で72Mbpsのデータレートで受信するプログラマブル入力デジタルプレクサ102が含まれる。デジタル符号化されたビデオ／オーディオ信号は、ハケットデータの構造を識別するための所定のビットストリームシンタックスを有する「ハケット化エレメンタリストリーム」(PEストリーム)として一般に知られているパケット化データのシリアルビットストリームである。デマルチプレクサ102は、供給されるデジタル符号化された信号のハーディングを行って、ビデオ、オーディオ、その他のデータのパケットに分解し、メモリコントローラ116を用いてDRAM114内のバッファアに入力信号を記憶する。以下により詳細に説明するが、本発明の原理によるビデオコーデグ104は、DRAM114内のバッファに記憶されたビデオデータと画像制御情報を検索し、(DRAM114に頻繁且つ繰り返しアクセスすることにより)そのビデオデータと制御情報を復号化し、その後、復号化されたビデオ情報を

出力エンコーダ108に供給して、バス120を介してモニタに出力されるように機能する。出力エンコーダ108は、好ましくは、NTSCの場合、30fpsで720×480画素の画像サイズを供給し、PALの場合、25fpsで720×576画素を供給するNTSC/PALエンコーダである。オーディオコーデグ106は、DRAM114からオーディオ情報を検索し、そのオーディオ情報を出力するために復号化し、出力するためのオーディオ情報をバス122を介してスピーカに供給する。また、ASIC100は、ライン124を介してホストマイクログントローラとのインターフェースを行い、ASIC100の動作の監視及び制御をホストコンピュータに行わせるホストインターフェース110を備えている。

#### 【0022】

上述の機能ユニット以外にも、ビデオコーデグ104により復号化されるメインビデオに伴うサブタイトルやその他の情報を含むサブピクチャビデオ情報を復号化する、さらに1以上のビデオ復号化ユニットを備えてもよい。さらに、バス126及びGバス128に接続されたOSD部により、ASIC100内で画面表示を生成してもよい。画面表示は、ホストCPUの動作、及び/又は、ASIC100が使用されている装置の再生又は受信状態に対するフィードバックを与えるように、ホストCPUから受信したコマンドに応じて生成することができる。

#### 【0023】

特定用途向けIC100の制御は、ASIC100上の他の各機能ユニットの動作の制御及び監視を行う縮小命令セット中央処理装置(RISC CPU)112により行われる。RISC CPU112は、インストレーションメモリ30に記憶されている16ビットのインストレーションに応じる。インストレーションメモリ30は、ASIC100の比較的簡単なプログラムに適した4096個の16ビットインストレーションを保持している。ASIC100により実行される複雑なプログラムについては、DRAM114内のより大きなインストレーションバッファからプログラムメモリ30に対して、4096個のインストレーションの「ページ」のスワップイン、スワップアウトを行えばよい。



## 【0024】

Fig. 1に示すように、RISC CPU112は、Rバス126及びGバス128として知られる2つのメインバスを介してASIC100内の各機能ユニットとインタラクションを行う。具体的には、各機能ユニットは、メモリコントローラ116に対して、そしてDRAM114に対してデータの検索及び供給を行うための64ビットGバス128に接続されている。さらに、Gバス128を介してある機能ユニットから他の機能ユニットに各ブロックのデータを転送してもよい。

## 【0025】

種々のコマンドの他、メモリアクセス又は転送の要求が、Rバス126を介してある機能ユニットから他の機能ユニットに送られる。Rバス126は、メモリアクセスを頻繁に行う機能ユニットにより使用される1以上の32ビットバス、あるいは、幾つかの機能ユニットにより共有される単一の8ビット時間多重化バスにより構成されてもよい。Rバスコントローラ132は、Rバス126の使用要求を受信し、必要に応じてこれらの要求を調整し、要求の優先順位が最も高い機能ユニットに対してRバスへのアクセスを供給する。

## 【0026】

メモリアクセスが要求されると、要求した機能ユニット102~112は、Rバス126を介してメモリコントローラ116に仮想アドレスを供給する。メモリアクセス要求は、単一のメモリ位置の供給を要求するものであってもよく、また、要求に応じてアクセスされる多数のメモリ位置の識別を含むものであってもよい。メモリコントローラ116は、要求に応じてDRAM114における識別位置へのアクセスを管理することにより要求に応答する。多数のメモリアクセス要求が未処理である場合、メモリコントローラ116は、その未処理の要求を調整して、要求の優先順位が最も高い機能ユニットに対してアクセスを許可する。要求に応じてメモリコントローラ116の動作の詳細については、1997年4月30日出願の米国特許出願第08/846590号 (U.S. Patent application Serial No. 08/846,590) 「デジタルビデオのためのメモリアドレス生成 (MEMORY ADDRESS GENERATION FOR DIGITAL VIDEO)」に記載されており、本願では

、これを全体として参照することにより組み込むものとする。さらに、RISC CPU112の動作とその縮小命令セットの詳細については、1997年5月30日出願の米国特許出願第08/865749号 (U.S. Patent application Serial No. 08/865,749) 「デジタルオーディオ復号専用処理装置 (SPECIAL PURPOSE PROCESSOR FOR DIGITAL AUDIO VIDEO DECODING)」に記載されており、本願では、これを全体として参照することにより組み込むものとする。

## 【0027】

さらに、Rバス126を介して、種々の機能ユニットの状態に関するデータが使用可能である。機能ユニットは、Rバス126を介して識別された特定アドレスにてアクセスすることができ、ステータス情報を供給する。従って、例えば、ビデオデコード104からステータスワードにアクセスするには、DEC\_VALUEアドレスを識別するアクセス要求をRバスコントローラ132に供給する。これに応じて、Rバスコントローラ132は、要求している機能ユニットに対してビデオデコード104のステータスワードを供給させる。

## 【0028】

機能ブロックにはRバス126を介してコマンドも送られる。ある機能ブロックにコマンドを供給するには、Rバスを介してその機能ユニットの特定アドレスにコマンドを送る。従って、例えば、ビデオデコード104にコマンドを供給するには、VLD\_CMDアドレスを識別するアクセス要求をRバスコントローラ132に供給する。これに応じて、Rバスコントローラ132は、要求している機能ユニットがRバス126にコマンドを供給することを可能にすると共に、ビデオデコード104のコマンドバッファ内にコマンドを受信させる。

## 【0029】

ビデオデコード104は本発明の主要部であり、その動作や特徴についてはFig. 2~6Gに明確に示す。本発明の原理によれば、ビデオデコード104は、特にMPEG-1及びMPEG-2 (Main Profile @ Main Level) MPEG-2シンタックス準拠のデジタル符号化されたビデオ信号のビデオ復号化を行うように構成されている。本願において全体として参照することにより組み込まれたISO/IEC13182-2:1995 (E) に記載されているように、MPEG-1

EG-2シンタックスは、特に、シーケンスレイヤ、グループオブピクチャレイヤ、ピクチャレイヤ、スライスレイヤ、マクロブロックレイヤ、ブロックレイヤという6レイヤの画像シーケンスを表すビデオデータ及び制御情報の圧縮ビットストリームを定義する。符号化されたビットストリームにおける各レイヤには、そのレイヤを識別すると共に、ビデオデコード104によりパーズング及び復号化を行う必要がある固定長データ値又は可変長ハフマン符号化データのいずれかあるいは両方を与えるユニークスタートコードが含まれる。スライスレイヤより上の画像制御情報の上位レイヤパーズングは、RISC CPU112により行われる。このようにして、RISC CPU112は、ビデオビットストリームにおいて送信された画像シーケンスの圧縮解除、再構成、プレゼンテーションを制御するための十分な情報を圧縮ビデオビットストリームから得る。

#### 【0030】

次に、Fig. 2及び2Aを参照して、ビデオデコード104のブロック図を詳細に示す。以下に詳細に説明するが、ビデオデコード104の主な機能は、個々のスライスのマクロブロック及びブロックレイヤを復号化するための、1サイクル当たり1順序シンボルのスライスハーフパズングエンジンである。スライスエンジンに達すると、RISC CPU112に割り込みが送られて、種々のメモリチェックを行うと共に次のスライスの処理を命令する。ビデオデコード104は主として、ライン138を介してVLDコマンド復号化/実行ユニット136とのインターフェースを行うマイクロシケンサ134を通して制御される。マイクロシケンサ134は、256×16インストラクションROM140とインストラクション復号化/制御ユニット142を備えている (Fig. 2A参照)。各スライス毎のマクロブロック及びブロックレイヤの復号化プロセスにおいて、マイクロシケンサ134は、VLDコマンド復号化/実行ユニット136にコマンドを送って可変長復号化を行うか、あるいは、インストラクションセットにより与えられるプログラムフローを制御するようにプログラムされている。さらに、VLDコマンド復号化/実行ユニット136は、Rバスインターフェース144、ライン146、マルチプレクサ148を介してRISC CPU112からインストラクションを直接受信してもよい。以下に詳細に説明するが、RIS

CPU112、マイクロシケンサ134、VLDコマンド復号化/実行ユニット136は、VLD構造データパスの一部を構成する一連のVLDコマンドインストラクションレジスタ (VCIレジスタ) 150のコンテンツの読み出し及び書き込みを行うことができる。

#### 【0031】

上述のように、符号化されたビデオデータは、まずDRAM114に記憶される。符号化されたビデオデータは、Gバス128を介してビデオデコード104からメモリコントローラ116までの各ユニットに使用可能とされる。ビデオデコード104は、16×64チャネルバッファFIFO152としてのGバスを備え、このバッファFIFO152は、復号化プロセス中にそれがバッファFIFO152が空になったり溢れたりしないように十分な量の符号化されたビデオビットストリームを記憶する。

#### 【0032】

ビデオデコード104の主な機能の一つとして、ビデオビットストリームにおける可変長符号化されたデータを復号化することが挙げられる。可変長データは、MPEG-1及びMPEG-2規格で定義されるVLCテーブルに従ってハフマン符号化される。本発明のVLDはMPEG VLCテーブルのうちの少なくとも11個のテーブルをサポートする。すなわち、macroblock\_type\_l, macroblock\_type\_p, macroblock\_type\_B, macroblock\_type\_D, macroblock\_address\_increment, dct\_dc\_size\_luma, dct\_dc\_size\_chrominance, ac\_table (テーブル0及びテーブル1)、coded\_block\_pattern, motion\_code, dmvector である。

#### 【0033】

Fig. 2に明確に示すように、チャネルバッファFIFO152は、チャネルバッファFIFO152から各64ビットバスを介して一対のA、Bレジスタ156A、156Bのそれぞれに64ビットのビデオデータを供給する。本発明によれば、ポインタアドレス+31までのポインタアドレスからのビットをVLDコマンド復号化/実行ユニット136に対して認識可能にするため、ローデータ/パレルシフト158とポインタレジスタ160が設けられている。これら32ビットは、ローデータ/パレルシフトデータ162としてVLDコマンド復号化/

実行ユニット136に供給される。

### 【0034】

Fig. 2及び3を参照して、A、Bレジスタ156A、156Bは、128ビットリングに接続され、Aレジスタのビット63からBレジスタのビット64へのポインタの境界切り替えと、Bレジスタのビット127からAレジスタのビット0への境界切り替えを可能にする。ポインタがAレジスタからBレジスタへ切り替わる時、Aレジスタのコンテンツは新たなデータによりリフレッシュされる。同様に、ポインタがBレジスタからAレジスタへ切り替わる時、Bレジスタのコンテンツは新たなデータによりリフレッシュされる。リングを回るポインタの動きを可能にすると共に128ビットのそれぞれをポインタに対してアクセス可能にするため、Fig. 3に示すパレルシフト164は、2のべき乗だけデータの左方向への種々のインクリメント的シフトを行うか、全くシフトを行わない7つのセレクタステージを有している。第1ステージ166は、「ステージ64/0」と称するもので、128ビットのそれぞれを左方向に64ビットシフトさせるか、全くシフトさせない128個のセレクタ ( $D_0 \sim D_{127}$ ) を有している。第2ステージ168は、「ステージ32/0」と称するもので、左方向へ32ビット分のシフトを行うか、全くシフトを行わない95個のセレクタを有している。第3ステージ170は、「ステージ16/0」と称するもので、左方向へ16ビット分のシフトを行うか、全くシフトを行わない63個のセレクタを有している。第4ステージ172は、「ステージ8/0」と称するもので、左方向へ8ビット分のシフトを行うか、全くシフトを行わない47個のセレクタを有している。第5ステージ174は、「ステージ4/0」と称するもので、左方向へ4ビット分のシフトを行うか、全くシフトを行わない39個のセレクタを有している。第6ステージ176は、「ステージ2/0」と称するもので、左方向へ2ビット分のシフトを行うか、全くシフトを行わない35個のセレクタを有している。第7ステージ178は、「ステージ1/0」と称するもので、左方向へ1ビット分のシフトを行うか、全くシフトを行わない33個のセレクタを有している。

### 【0035】

パレルシフト164の構造により、A、Bレジスタ156A、156Bの128ビットのうちいずれか32ビットをロテータ/パレルシフトデータ162としてVLDコマンド復号化/実行ユニット136に対して使用可能とすることができる。各ステージ166～178では、左方向へのシフトを矢印180で示し、シフトなしを矢印182で示している。パレルシフト164に関して用いているように、「セレクタ」という用語が、先に詳細に説明した左シフト又はシフトなしの動作を行ういかなる回路をも意味することは、当該分野の技術者にとっては理解できるであろう。本発明によるパレルシフト164の動作では、Fig. 3に仮想的な三角形182に示すように、種々のセレクタをステージ168～178の幾つかから除くことができる。パレルシフト164を対称的な長方形ではなく台形に切ることにより、不要なセレクタを除去して、コストとハードウェアの節約ができることがわかる。

### 【0036】

Fig. 2及び5に明確に示すように、ロテータ/パレルシフトデータ162の32ビットは、MPEG規格の可変長コード (VLC) テーブルを組み込んだ可変長テーブルデコード184に対しても使用可能とされる。本発明によれば、VLDコマンド復号化/実行ユニット136が11個のMPEG VLCテーブルのそれぞれにアクセスすることを可能にする新規な方式が提供される。Fig. 4の“macroblock\_address\_increment”についてのVLCテーブルを例として、可変コードにおける最初の「1」に至る「0」の数を定めるプレフィクスパターンと、すべてのユニークプレフィクスパターンからなるセットを発生させるのに必要なエキストラロジックが各MPEG VLCテーブルにおいて識別されている。

### 【0037】

例えば、Fig. 4の“macroblock\_address\_increment”テーブルでは、各可変長コードが、 $K_0$ 、 $K_1$ 、 $K_2$ 、 $K_3$ 、 $K_4$ 、 $K_5$ 、 $K_6$ 、 $K_7$ 、 $K_8$ 、 $K_9$ 、 $K_{10}$ 、 $K_{11}$ 、 $K_{12}$ 、 $K_{13}$ 、 $K_{14}$ 、 $K_{15}$ と定義されたプレフィクスパターンを有している。 $K_0$ は、最初の「1」の前に「0」がないことを示し、 $K_1$ は、最初の「1」の前に「0」が1つであることを示し、以下、 $K_2$ 、 $K_3$ 、 $K_4$ につ



MPEG可変長コードの効率的な復号化を行うと共にVLCテーブルのメモリ要件を低減する。

【0041】

MPEG規格によれば、可変長符号化されたDCT係数は、Fig. 2にシンボル< r, l >として示すようにランレングスと振幅レベルの対として復号化される。値「r」は、「l」により示される振幅レベルを有する係数の前のゼロ値係数の数を表す。例えば、シンボル< 5, 2 >は、係数値2の前にゼロが5つであることを示す。また、本発明によれば、ランレングスと振幅レベルの対が可変長テーブルデコード186により復号化されると、ランレングスと振幅レベルの対のシンボルは、VLDコマンド復号化／実行ユニット136から64×18ランレベルデコード／FIFO206に送られ、64×18ランレベルデコード／FIFO206では、逆ジグザグ／逆量子化／逆DCT変換ユニット208で必要となるまで、それらの対のシンボルを圧縮した対として記憶する。なお、圧縮シンボルの数はDCT係数の数よりも少ないので、ランレベルデコード／FIFO206は、先に復号化されたランレベルの対のランレベル復号化と同時に、ハフマン符号化された可変長対の復号化を行うことができる。

【0042】

また、Fig. 2に示すように、復号化された動きベクトル「mv」と差分動きベクトル「dmv」がVLDコマンド復号化／実行ユニット136から16×13mv/dmvFIFO210に送られ、16×13mv/dmvFIFO210は、動き補償ユニット212で必要となるまでそれらを記憶する。本願では、1997年12月30日出願の米国特許出第09/001122号 (U.S. Patent Application Serial No. 09/001,122) 「動き補償されたデジタルビデオ復号及びこのためのバッファメモリアドレッシング (MOTION COMPENSATED DIGITAL VIDEO DECODING AND BUFFER MEMORY ADDRESSING THEREOF)」を全体として参照することにより組み込むが、これに詳細に記載されるように、復号化されたビデオデータ値と動きベクトルは、動き補償ユニット212により組み合わせられて表示用の完全なI、P、Bフレームを形成する。VLDコマンド復号化／実行ユニット136は、好ましくは動きベクトル、差分動きベクトル、マクロブ

ックインクリメントアドレス、dc係数、ac係数の計算のためのステートマシンを有している。

【0043】

Fig. 2Aが、マイクロシーケンサ134とVLDコマンド復号化／実行ユニット136との間の全体的なプログラムフローコントロールを示すの対して、Fig. 6A～6Gは、ビデオデコード104のマイクロシーケンサ134によりサポートされるインストラクションセットを示す。特に、マイクロシーケンサのインストラクションセットは8つのインストラクション214a～214gからなり、それぞれ3ビットのopcode216を有し、インストラクション214bは2つの異なるインストラクションを表す。Fig. 6A～6Gに示すインストラクションのうち、インストラクション214bのインストラクション1C MD及びCMD1のみが実行コマンドである。他の6つのインストラクション214a及び214c～214gはすべて、以下に詳細に説明するが、フローコントロールインストラクションである。インストラクション214a～214gのほとんどは、VCIレジスタ150において求めたデータからオフで動作する。

【0044】

以下に示す表は、種々のVCIレジスタ150の記述を行うものである。表1はVCIコントロールレジスタの記述を定義する。表2はマクロブロック及びブロックレイヤレジスタの記述を定義する。表3は上位レイヤ復号化のためのピクチャレイヤレジスタの記述を定義する。表3のレジスタはRISC CPU112により書かれている。表4はコントロール及びステータスレジスタの記述を定義し、表5はプレディクティブ及びスタートマシンレジスタの記述を定義する。

【0045】

表1：VCIコントロールレジスタの定義

名称	フィールド	タイプ	記述
vci_addr	[5:0]	r/w	VCI間接レジスタアドレス
vci_data	[15:0]	r/w	VCI間接レジスタアドレス

【0046】

VCIコントロールレジスタは、以下の表2～5において定義されるVCI間

接レジスタにアクセスするのに使用される。RISC CPU112は、特定アドレスのVCI間接レジスタのコンテントの読み出し及び書き込みを行うようにVCI\_\_addrレジスタをセットアップする。この読み出し及び書き込み動作はVCI\_\_dataレジスタにより行われる。

【0047】

表2：マクロブロックレベルのVCI間接レジスタの定義

名称	アドレス	幅	Dir	記述
vci_mba_x	0×00	7	r/w	マクロブロックアドレスx次元
vci_mba_y	0×01	7	r/w	マクロブロックアドレスy次元
vci_vld_out	0×02	16	r/w	VLDの仮出力
vci_q_scale	0×03	5	r/w	量子化スケール情報
vci_cbp	0×04	8	r/w	符号化ブロックパターン

【0048】

表2：マクロブロックレベルのVCI間接レジスタの定義 (続き)

名称	アドレス	幅	Dir	記述
vci_mtype	0×05	5	r/w	マクロブロックタイプ
vci_motype	0×06	3	r/w	復号化された動きのタイプ
[0] mv_count				
0:1ベクトル、1:2ベクトル				
[1] mv_format				
0:フィールド、1:フレーム				
[2] dmw				
vci_dct_type	0×07	1	r/w	dctタイプ
0:フレーム、1:フィールド				
vci_mvfs1	0×08	1	r/w	動き垂直フィールド選択1
reserved	0×09	1		リザーブ
vci_temp_0	0×0a~		r/w	リザーブ
0×0f				

【0049】

表3：ピクチャレベルレイヤのVCI間接レジスタの定義

名称	アドレス	幅	Dir	記述
vci_pic_init	0×10	26	r/w	[25:24]:DC精度 -->00:8ビット、01:9ビット、 10:10ビット、 -->11:11ビット [23:20]:後方垂直fコード [19:16]:後方水平fコード [15:12]:前方垂直fコード [11:8]:前方水平fコード [7]:コンシールメント動きベクトル [6]:イントラvlcフォーマット [5]:frame_pred_frame_dct [4:2]:ピクチャ符号化タイプ (1, P, B, D) [1:0]:ピクチャストラクチャ (フィールド、フレーム) -->[00]:リザーブ -->[01]:トップフィールド -->[10]:ボトムフィールド -->[11]:フレーム vci_seq_init 0×11 10 r/w [10:4]:mb数×次元 [3]:0:レギュラー、 1:スペシアル--blkタイプ [2]:0:mpeg2、1:mpeg1 [1:0]:クロマフォーマット -->00:リザーブ、01:420、 10:422、 -->11:444

vci\_conceal 0×12 3 r/w コンシールメントカウント

レジスタ

vci\_temp\_1 0×13～ r/w リザーブ

0×1f

【0050】

表4：コントロール及びステータスのVCI間接レジスタの定義

名称	アドレス	幅	Dir	記述
vci_cntl	0×20	2	r/w	vciステートコントロールレジスタ [31:30]=00:ラン [31:30]=10:ホールド [31:30]=11:リセット
vci_pc	0×21	8	r/w	vciプログラムカウンタ
vci_rom	0×22	16	r/w	vci_rom出力ポート
vci_dmvfifo_adr				

0×23 3 r/w dmb\_fifo読み出し/書き込みアドレス

vci\_dmvfifo 0×24 2 r/w dmv\_fifoデータポート

vci\_pointer 0×25 7 r/w ロテータポインタ

vci\_dec\_lped 0×26 12 r/w 輝度DC予測値。DClpredへの書き込みは、DEC\_modeレジスタにおけるDC精度ビットにより示される定数値へリセットする。

vci\_dec\_epred 0×27 r/w クロマDC予測値。DEC\_cpredへの書き込みは、DEC\_modeレジスタにおけるDC精度ビットにより示される定数値にリセットする。

[23:12]

V

[11:10]

U

vci\_temp\_2 0×28～

リザーブ

0×2f

【0051】

表5：プレディクタ及びステートマシンのVCI間接レジスタの定義

名称	アドレス	幅	Dir	記述
vci_mv_predfh0	0×30	13	r/w	mvfs、動きベクトルブレディクタ 前方垂直-ファースト
vci_mv_predfv0	0×31	13	r/w	mvfs、動きベクトルブレディクタ 前方垂直-ファースト
vci_mv_predbh0	0×32	13	r/w	mvfs、動きベクトルブレディクタ 後方垂直-ファースト
vci_mv_predfh1	0×34	13	r/w	mvfs、動きベクトルブレディクタ 前方水平-セカンド
vci_mv_predfv1	0×35	13	r/w	mvfs、動きベクトルブレディクタ 前方垂直-セカンド
vci_mv_predbh1	0×36	13	r/w	mvfs、動きベクトルブレディクタ 後方水平-セカンド
vci_mv_predbv1	0×37	13	r/w	mvfs、動きベクトルブレディクタ 後方垂直-セカンド
vci_err_bits	0×38	10	r	エラー条件

[9] motype\_err

[8] coef\_err

[7] rl\_error

[6] cbp\_err

[5] mv\_err

[4] mbi\_err

[3] mtype\_err

[2] get\_ac\_err

[1] dctdcsz\_chroma\_err

[0] dctdcsz\_luma\_err

【0052】

表5：ブレディクタ及びステートマシンのVCI間接レジスタの定義（続き）

名称	アドレス	幅	Dir	記述
vci_stm	0×39	4	r	ステートマシン： [14:12] vstate: motion vec STM [11:9] dc_estate: dc STM [8:7] sc_state: start-code STM [6:3] ms_estate: MB STM [2:0] lc_estate: block STM

vci\_tmp\_3 0×3a～  
0×3f

【0053】

表6は、Rバスインターフェース144を備えたVLDコントロールレジスタを定義する。

【0054】

表6：rバスインターフェースを備えたVLDレジスタ

名称	Dir	ビットフィールド	記述
dec_value1	r/w	[15:0]	DECODE BLOCKコマンドを除くすべてのコマンドについての復号化値を保持する。DECODE BLOCKコマンドはこのフィールドの復号化DC係数を戻す。 この値は現在のラン及びびレベルを保持する。
dec_value2	r/w		
		[17:12]	復号化ランレンジス
		[11:0]	復号化レベル
mvfifo_adr	r/w	[4:0]	mv_fifo読み出し／書き込みアドレスビット4-0：読み出し、1：書き込み

mvfifo\_data r/w [12:0] mv\_fifoデータポート

【0055】

表6：rバスインターフェースを備えたVLDレジスタ（続き）

名称	Dir	ビットフィールド	記述
vld_cntl	r/w	[31:30]	00：ラン、10：ホールド、11：リセット
vld_pic_hdr	r/w	[31:0]	ピクチャレベルパラメータ： [31:28]f_code[0][0](F,H) [27:24]f_code[0][1](F,V) [23:20]f_code[1][0](B,H) [19:16]f_code[1][1](B,V) [15:14]intra_dc_prec [13:12]pic_structure [11]topfld_first [10]frame_prediction_frame_dct [9]concealment_motion_vectors [8]q_scale_type [7]intra_vlc_format [6]alternate_scan [5]repeat_first_field [4]chroma_420 [3]progressive_frame [2:0]pic_type
rlfifo_adr	r/w	[6:0]	rl_fifo読み出し／書き込みアドレスビット6-0：読み出し、1：書き込み
rlfifo_data	r/w	[17:0]	rl_fifoデータポート
vld_status	r/w	[10:0]	ステータスビット [10]vld_busy



vld_cmd	r/w	[7:0]	[9]vld_mv_fifo_empty
dec_status	r/w	[15]	[8]vld_cfifo_empty
			[7:4]chfifo_wr_addr
			[3:0]chfifo_rd_addr
			cpuからの実行されるvldコマンド
			エラー。ビットストリームが検出さ
			れた場合にセット。スティッキキー
			ット。
【0056】			
表6：rバスインターフェースを備えたVLDレジスタ（続き）			
名称	Dir	ビットフィールド	記述
		[14]	chan_fifo_empty
		[13:10]	チャネルFIFO空き
			chan_fifo_wrprt
		[9:6]	チャネルFIFOライトポイント
			chan_fifo_rdprr
		[5:0]	チャネルFIFOリードポイント
			bitent デコーダビットストリームリ
			ードポイント。デコーダにより次に読
			み出されるビットの数。
vld_cmd	r/w	[7:0]	cpuからのvldコマンドーこのアドレ
			スがrバスインターフェースから書き
			込まれるとvldコマンドが実行される
			。

【0057】

表7は、Gバスインターフェースを備えたVLDコントロールレジスタを定義する。

【0058】

表7：gバスインターフェースを備えたVLDレジスタ

名称	Dir	ビットフィールド	記述
word_fifo	r/w	[63:0]	デコーダFIFOデータポート
【0059】			

次にFig. 6A～6Gのマイクロシーケンサインストラクション214a～214gについて、TBIT（テストビット）インストラクション214aは、VCILEJスタ220における（“bitnum”218により与えられる）ビットのテストを行い、4ビット前方相対アドレス222の値と等しい場合に分岐する。COMP（比較）インストラクション214cは、“msb”224のステータスにより決定される）vei\_vld\_outレジスタの8msb又は8lsbのデータコンテンツを即時データ226と比較し、その結果をフラグレジスタ228に保存する。“st\_code”230＝1である場合、vei\_vld\_outレジスタのコンテンツはスタートコードパターンと比較され、それらがマッチしてスタートコードが求められたことを示す場合に、フラグレジスタ228が設定される。BRANCHインストラクション214dは、8ビットの分岐目標アドレス232に対する絶対分岐を行う。“err”ビット234はエラーを示し、“halt”ビット236はvcicontrolレジスタをホールドステータスに変更することを示す。SETF（フラグ設定）インストラクション214eは、即時データ238に応じた値によりフラグレジスタの8lsbを設定する。INCM（インクリメントマクロブロック）インストラクション214fは、VCILEJスタ240の下位バイトを即時データ242と比較し、等しくなければストールする。フローコントロールインストラクションの最後には、HALTインストラクション214gがビデオデコード104のホールドを行い、vld\_busy信号を取り下げる。

【0060】

ICMD及びCMDI（コマンド発生）インストラクション214bは、22のコマンドのうちのいずれかをビデオデコード104に送り、出力をVCILEJスタ244に記憶する。ICMDインストラクションにより、マイクロシーケンサ134はビデオデコード104にコマンドを送り、待機する。CMDILEJスタは、マイクロシーケンサ134によりビデオデコード104へコマンドを送り、マイクロコードをランし続ける。

【0061】

ビデオデコーダ104に送られる種々のコマンドを表8に示す。

【0062】

表8：VLDコマンド

OPコード	シンボル	記述
0000 0001	<vld_escape>	マクロブロックエスケープ
0000 0010	<vld_peek>	ピーク一単にアップデードCCCを実行しない
0000 0011	<vld_startcode>	ファーストスタートコード
0000 0100	<vld_mbi>	マクロブロックアドレスインクリメント
0000 0101	<vld_cbp>	符号化ブロックパターン
0000 0110	<vld_intra_luma>	イントラ輝度ブロックをラン
0000 0111	<vld_intra_chroma>	イントラクロマUブロックをラン
0000 1000	<vld_intra_chromav>	イントラクロマVブロックをラン
0000 1001	<vld_non_intra>	非イントラブロックをラン
0000 1010*	<vld_mbs>	マクロブロックスタート信号を発生
0000 1100*	<vld_dpcm>	輝度及びクロマブレディクタをリセット
0000 1101*	<vld_mv_pred>	動きベクトルブレディクタをリセット
0001 0000	<vld_dmv>	デュアルブライム動きベクトルを得る
0001 0100	<vld_non_coded>	非符号化ブロックをラン
0001 0101	<vld_field_motype>	復号化フィールド動きタイプ
0001 0110	<vld_frame_motype>	復号化フレーム動きタイプ
0001 1000	<vld_mtypei>	Iピクチャのマクロブロックタイプを得る
0001 1001	<vld_mtypep>	Pピクチャのマクロブロックタイプを得る
0001 1010	<vld_mtypeb>	Bピクチャのマクロブロックタイプを得る
0001 1011	<vld_mtyped>	Dピクチャのマクロブロックタイプを得る

る

0010 xxxx <vld\_get<bitxx> 次の1～16ビット (0=>16) を得る

0011 0xyz <vld\_mvxyz> 動きベクトルを得る：x-前方、y-水平、z-ファースト

\*：cmd i インストラクションから送る必要がある。

【0063】

表8のVLDコマンドは、多種多様の符号化に共通な自立的動作である。VLDインストラクションは、一般に、MPEG VLCテーブルからの値を得るための可変長テーブル復号化コマンド、符号化ビデオデータからのパラメータ化されたビット数を受信するためのインストラクション、又はブロック動作として分類される。

【0064】

例えば、<vld\_get\_bitxx>コマンドは、ロータ/パレルシフト158から特定数のビットを取り出し、取り出したビット数によりポインタレジスタ160をインクリメントする。<vld\_dmv>コマンドは、ビデオデータビットストリームからの3つのパラメータを用いてMPEG VLCテーブルのうちのいずれかから動きベクトル値を取り出す。具体的には、各動きベクトルは前の動きベクトルと予測の組み合わせとして記憶される。予測はそれ自体、(可変長符号化された) 商と(固定長符号の) 余りとして符号化される。<vld\_dmv>コマンドは、MPEG VLCテーブルを介して商を復号化し、余りの位置と商の値を求めるのに使用される。余りは<vld\_get\_bitxx>コマンドを用いて得られる。そして、商と余りが組み合わせられて、動きベクトル成分を生成する。<vld\_peek>コマンドは、取り出したビット数によりポインタレジスタ160をインクリメントすることなしに、ロータ/パレルシフト158からの特定数のビットを認識可能にする。

【0065】

本発明を種々の実施例を用いて説明し、これらの実施例については非常に詳細に説明したが、当該分野の技術者にとってはさらなる利点及び変更が容易に明らかとなるであろう。従って、本発明は広義において、特定の詳細事項、代表的な

装置や方法、説明及び図示した具体例に限定されるものではない。従って、本願の一般的な発明概念の範囲を逸脱しない限り、このような詳細事項を変更してもよい。

【図面の簡単な説明】

【図1】

Fig. 1は、本発明の原理に従ってデジタルオーディオ／ビデオ信号データの圧縮解除及び出力を行うビデオ／オーディオデコードのブロック図である。

【図2】

Fig. 2は、デジタル符号化されたビデオデータ及び制御情報を復号化するための可変長デコード (VLD) により構成される、Fig. 1に示す復号化システムにおけるビデオデコードのブロック図である。

【図3】

Fig. 2Aは、Fig. 2に示すビデオデコードのマイクロシーケンサとVLDコマンド復号化／実行ユニットのブロック図である。

【図4】

Fig. 3は、Fig. 2の可変長デコード (VLD) コマンド復号化／実行ユニットと可変長テーブルデコードに、符号化されたビデオデータの32ビットインクリメントを供給するローテータ／バレルシフト回路的概略図である。

【図5】

Fig. 4は、Fig. 2の可変長デコード (VLD) コマンド復号化／実行ユニットによりアクセスされる「macroblock\_address\_increment」可変長コード (VLC) テーブルにおけるハタマンマッチ構造を示す図である。

【図6】

Fig. 5は、ビデオデータ圧縮解除プロセスにおいて可変長コード (VLC) テーブルにアクセスするときにFig. 2の可変長デコード (VLD) により使用される復号化論理回路の機能ブロック図である。

【図7】

Fig. 6Aは、TBITインストラクションのマイクロシーケンサインストリクションフォーマットを示す図である。

Fig. 6Bは、ICMD、CMDIインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

Fig. 6Cは、COMPIインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

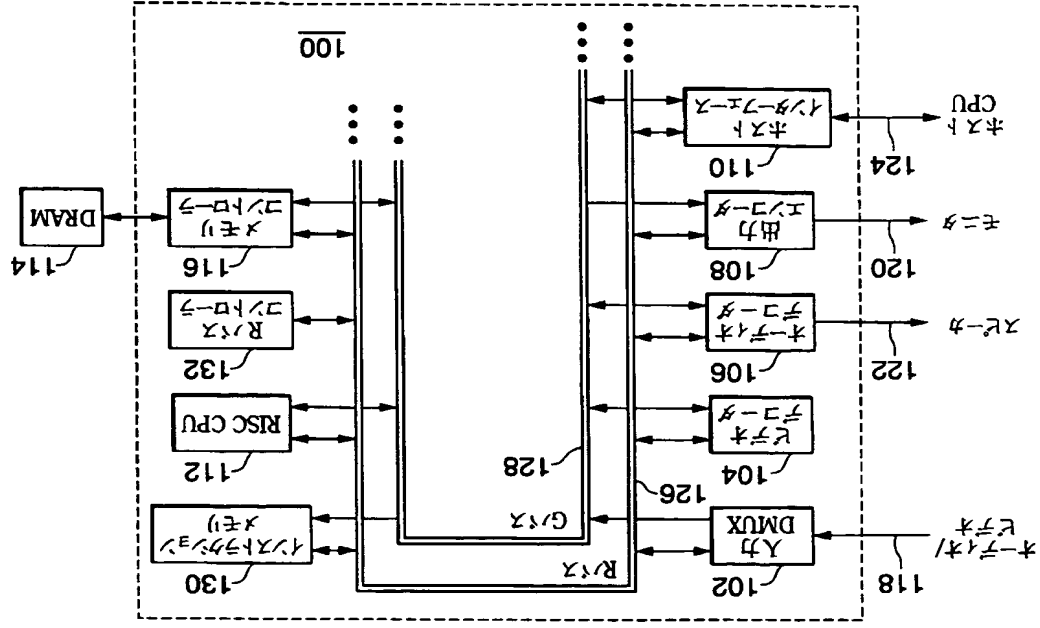
Fig. 6Dは、BRANCHインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

Fig. 6Eは、SETFIインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

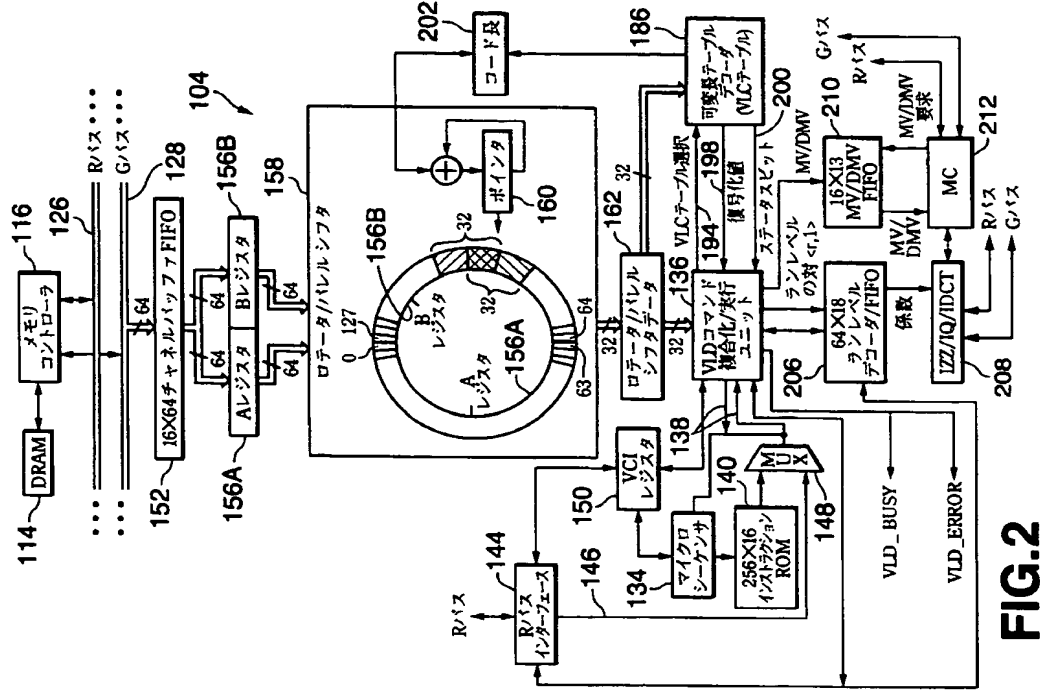
Fig. 6Fは、INCMインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

Fig. 6Gは、HALTIインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

【一四】



【图2】



【図3】

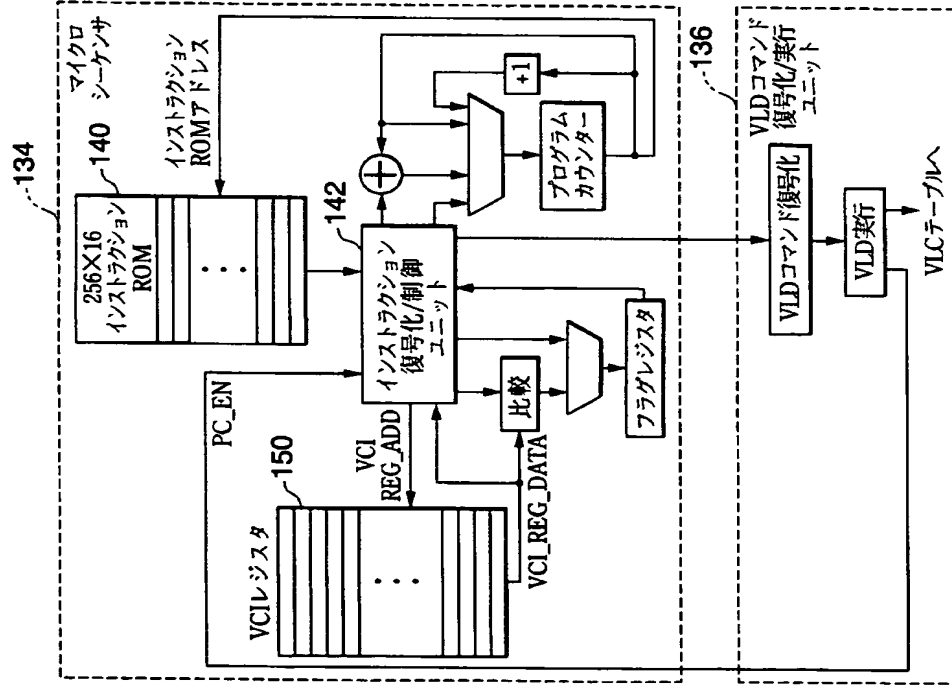


FIG.2A

【図4】

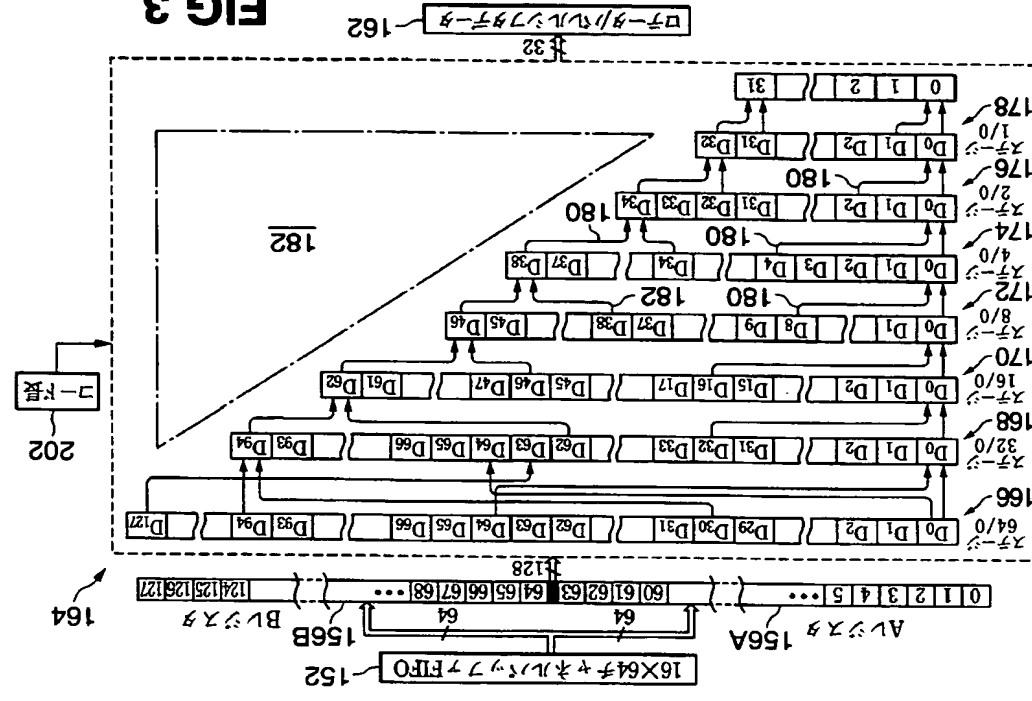


FIG.3

【例5】

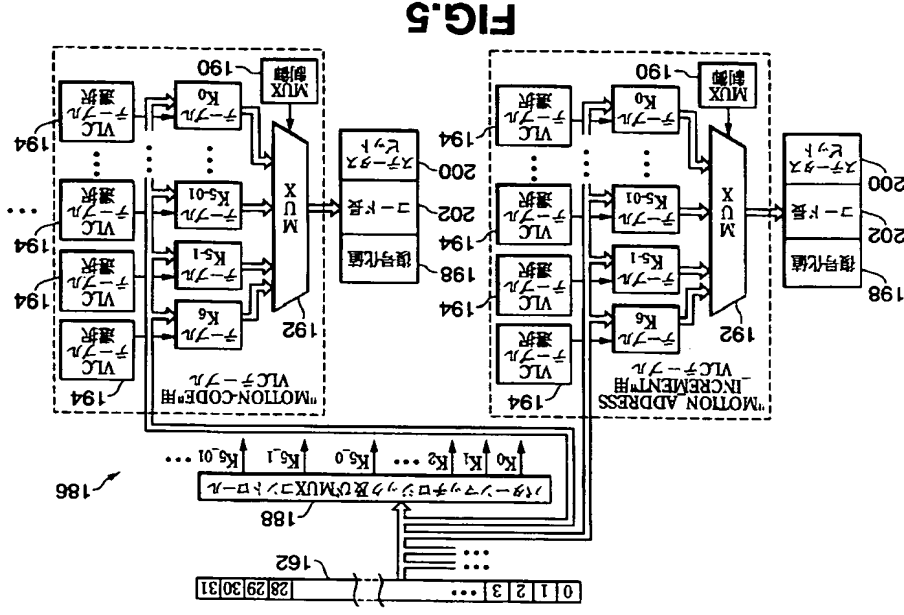
パターンマッチ

"MACROBLOCK\_ADDRESS\_INCREMENT"用のVLCテーブル

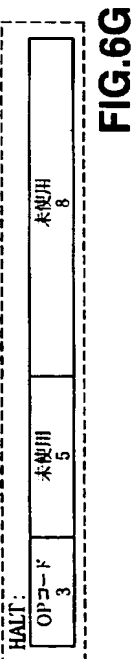
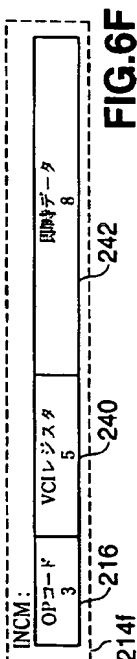
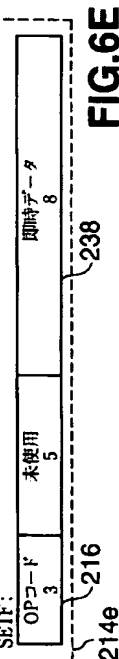
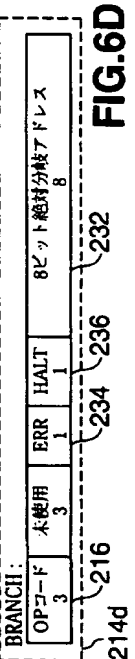
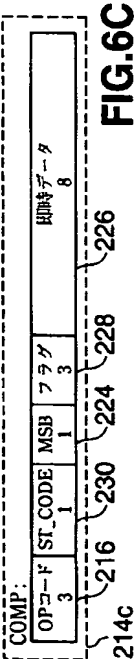
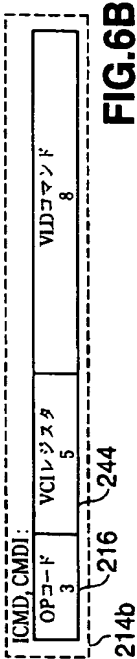
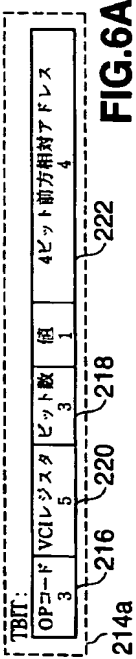
可変長コード	インクリメント値	パターンマッチ	コード長
1	1	K <sub>0</sub>	1
011	2	K <sub>1</sub>	3
010	3	K <sub>1</sub>	3
0011	4	K <sub>2</sub>	4
0010	5	K <sub>2</sub>	4
00011	6	K <sub>3</sub>	5
00010	7	K <sub>3</sub>	5
0000111	8	K <sub>4,1</sub>	7
0000110	9	K <sub>4,1</sub>	7
00001011	10	K <sub>4,0</sub>	8
00001010	11	K <sub>4,0</sub>	8
00001001	12	K <sub>4,0</sub>	8
00001000	13	K <sub>4,0</sub>	8
00000111	14	K <sub>5,1</sub>	8
00000110	15	K <sub>5,1</sub>	8
000001011	16	K <sub>5,01</sub>	10
000001010	17	K <sub>5,01</sub>	10
000001001	18	K <sub>5,01</sub>	10
000001000	19	K <sub>5,01</sub>	10
0000010011	20	K <sub>5,001</sub>	10
0000010010	21	K <sub>5,001</sub>	10
00000100011	22	K <sub>5,000</sub>	11
00000100010	23	K <sub>5,000</sub>	11
00000100001	24	K <sub>5,000</sub>	11
00000100000	25	K <sub>5,000</sub>	11
0000001111	26	K <sub>5,000</sub>	11
0000001110	27	K <sub>6</sub>	11
0000001110	28	K <sub>6</sub>	11
00000011100	29	K <sub>6</sub>	11
00000011011	30	K <sub>6</sub>	11
00000011010	31	K <sub>6</sub>	11
00000011001	32	K <sub>6</sub>	11
00000011000	33	K <sub>6</sub>	11
00000001000		MACROBLOCK_ESCAPE	K <sub>6</sub>

# FIG. 4

【図 6】



【図7】



【手続補正書】特許協力条約第34条補正の翻訳文提出書

【提出日】平成12年8月11日（2000. 8. 11）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 送信されたフレームの画像エリアを表す複数の可変長符号化データからなる圧縮ビデオデータストリームを復号化する可変長デコーダ（104）であって、

可変長符号化されたデータを記憶するメモリ（114）と、  
メモリに接続され、メモリ（114）からの選択された可変長符号化データを受信するコマンド復号化及び実行回路（136）と、

コマンド復号化及び実行回路（136）に接続され、コマンド復号化及び実行回路（136）にコマンドを供給して可変長符号化データを対応する復号化値に変換するシーケンサ（134）と、

コマンド復号化及び実行回路（136）に接続され、シーケンサ（134）とは独立してコマンド復号化及び実行回路（136）にコマンドを供給して、コマンド復号化及び実行回路（136）の復号化動作を制御するマスタコントローラ（112）とを有し、

シーケンサ（134）とマスタコントローラ（112）に接続された複数のコマンドインストラクションレジスタ（150）が設けられ、シーケンサ（134）とマスタコントローラ（112）はコマンドインストラクションレジスタ（150）のコンデンツの読み出し及び書き込みを行うことを特徴とする可変長デコーダ（104）。

【請求項2】 シーケンサ（134）は、複数のインストラクションを記憶するメモリ（140）と、インストラクションメモリ（140）に接続されてメモリ（140）からのインストラクションを復号化すると共にコマンド復号化及び

実行回路(136)にコマンドを供給して可変長符号化データに対応する復号化値に変換するインストラクション復号化及び制御回路(142)とを備えることを特徴とする請求項1記載の可変長デコーダ(104)。

【請求項3】 コマンドインストラクションレジスタ(150)は、コマンド復号化及び実行回路(142)に供給されたインストラクションに関連することを特徴とする請求項1記載の可変長デコーダ(104)。

【請求項4】 コマンド復号化及び実行回路(136)に接続され、可変長符号化データを受信すると共に、対応する復号化値をコマンド復号化及び実行回路(142)に供給する可変長デコーダ(186)をさらに有することを特徴とする請求項1記載の可変長デコーダ(104)。

【請求項5】 コマンド復号化及び実行回路(136)は、MPEGシンタックスに従った可変長符号化データを復号化することを特徴とする請求項1記載の可変長デコーダ(104)。

【請求項6】 コマンド復号化及び実行回路(136)は、可変長符号化データを復号化して、それぞれランレングス値と振幅レベル値とからなるDCT係数シンボルを得ることを特徴とする請求項5記載の可変長デコーダ(104)。

【請求項7】 コマンド復号化及び実行回路(136)に接続され、DCT係数シンボルを圧縮されたランレングスと振幅レベルの対として記憶するファーストインファーストアウトメモリ及びデコーダ(206)をさらに有することを特徴とする請求項6記載の可変長デコーダ(104)。

【請求項8】 ファーストインファーストアウトメモリ及びデコーダ(206)に接続された逆DCT変換回路(208)をさらに有し、ファーストインファーストアウトメモリ及びデコーダ(206)が、ランレングスと振幅レベルの対の圧縮解除を行って、送信されたフレームの画像データを再構成する際にDCT変換回路(208)により使用されるDCT係数を得ることを特徴とする請求項7記載の可変長デコーダ(104)。

【請求項9】 コマンド復号化及び実行回路(136)は、可変長符号化データを復号化して動きベクトル値を得ることを特徴とする請求項5記載の可変長デコーダ(104)。

【請求項10】 コマンド復号化及び実行回路(136)に接続され、動きベクトル値を記憶するファーストインファーストアウトメモリ(210)をさらに有することを特徴とする請求項9記載の可変長デコーダ(104)。

【請求項11】 ファーストインファーストアウトメモリ(210)に接続された動き補償回路(212)をさらに有し、ファーストインファーストアウトメモリ(210)が、送信されたフレームの画像データを再構成する際に動き補償回路(212)に動きベクトル値を供給することを特徴とする請求項10記載の可変長デコーダ(104)。

【請求項12】 可変長コードテーブルを用いて、送信されたフレームの画像エリアを表す可変長符号化データからなる圧縮ビデオデータを復号化する可変長テーブルデコーダ(186)であって、

可変長符号化データを記憶するメモリ(156A、156B、162)と、

メモリ(156A、156B)に関連して、可変長符号化データの所定数のビット(162)を認識可能にするシフト回路(164)と、

メモリ(156A、156B)及びシフト回路(164)に接続され、シフト回路(164)により認識可能とされた可変長符号化データ(162)におけるユニークプレフィクスハターンを識別するハターンマッチ回路(188)と、

複数の可変長コードのそれぞれに関連する復号化値を有し、可変長コードにおけるユニークプレフィクスハターンにそれぞれ関連する複数のサブテーブルデータからなる可変長コードテーブルデータと、

ハターンマッチ回路(188)に応じて、可変長符号化データにおける識別されたプレフィクスハターンとマッチする可変長コードにおけるユニークプレフィクスハターンに関連するサブテーブルデータから復号化値(198)を得ると共に、識別されたプレフィクスハターン後の可変長符号化データにおける追加データとマッチするユニークプレフィクスハターン後の可変長コードにおける追加データを取得する制御回路(190、192)とを有し、

シフト回路(164)により認識可能とされた可変長符号化データ(162)を、ハターンマッチ回路(188)とサブテーブルデータ回路のそれぞれに接続して、ハターンマッチ回路(188)とサブテーブルデータ回路のそれぞれに対



して可変長符号化データを(162)を同時に送るデータバス(196)を設けることを特徴とする可変長テーパーブルデコード(186)。

【請求項13】 可変長コードのそれぞれが関連するコード長を有し、制御回路(190、192)は、パターンマッチ回路(188)に応じて、可変長符号化データにおける識別されたプレフィクスパターンとマッチする可変長コードにおけるユニークプレフィクスパターンに関連するサブテーパーブルデコードからコード長(202)を得ると共に、識別されたプレフィクスパターン後の可変長符号化データにおける追加データとマッチするユニークプレフィクスパターン後の可変長コードにおける追加データを得ることを特徴とする請求項12記載の可変長テーパーブルデコード(186)。

【請求項14】 シフト回路(164)は、メモリ(156A、156B)における可変長符号化データを選択的にシフトする複数のセレクトタ回路を有することを特徴とする請求項12項記載の可変長テーパーブルデコード(186)。

【請求項15】 複数のセレクトタ回路は複数のセレクトタステージに配置され、各セレクトタステージが、2のべき乗でメモリ(156A、156B)における可変長符号化データをシフトする、あるいは、可変長符号化データのシフトを全く行わないことを特徴とする請求項14記載の可変長テーパーブルデコード(186)。

【請求項16】 セレクトタステージのうちの少なくとも1つは、前のセレクトタステージより少ないセレクトタ回路を有することを特徴とする請求項15記載の可変長テーパーブルデコード(186)。

【請求項17】 各セレクトタステージは、その前のセレクトタステージより少ないセレクトタ回路を有することを特徴とする請求項15記載の可変長テーパーブルデコード(186)。

【請求項18】 シフト回路(164)は、最後に得られたコード値に応じて、得られたコード値と等しい数のビット分だけメモリ(156A、156B)における可変長符号化データをシフトすることを特徴とする請求項14記載の可変長テーパーブルデコード(186)。

【請求項19】 可変長コードテーパーブルを用いて、送信されたフレームの画像

エリアを表す複数の可変長符号化データからなる圧縮ビデオデータストリームを復号化する方法であって、

複数の可変長コードのそれぞれに関連する復号化値を有する可変長コードテーブルを定義し、

可変長コードに関連する複数のユニークプレフィクスパターンを定義し、各サブテーパーブルが可変長コードにおけるユニークプレフィクスパターンのうちのいずれかに関連すると共にユニークプレフィクスパターンに関連する少なくとも1つの復号化値とユニークプレフィクスパターン後の可変長コードにおける追加データとを有するように構成された複数のサブテーブルを定義し、

可変長符号化データにおいて、可変長コードに関連するユニークプレフィクスパターンのうちの1つを識別し、

複数のサブテーブルのそれぞれに対して可変長符号化データを同時に送り、

可変長符号化データにおける識別されたプレフィクスパターンとマッチする可変長コードにおけるユニークプレフィクスパターンに関連するサブテーブルから復号化値(198)を得ると共に、識別されたプレフィクスパターン後の可変長符号化データにおける追加データとマッチするユニークプレフィクスパターン後の可変長コードにおける追加データを得る工程を有することを特徴とする方法。

【請求項20】 コード長を複数の可変長コードのそれぞれに関連させ、可変長符号化データにおける識別されたプレフィクスパターンとマッチするプレフィクスパターンを有する可変長コードに関連するコード長(202)と、識別されたプレフィクスパターン後の可変長符号化データにおける追加データとマッチするプレフィクスパターン後の追加データとを得る工程をさらに有することと特徴とする請求項19記載の方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

## 【0010】

従って、MPEG-1又はMPEG-2規格により符号化された可変長DCT係数及び動きベクトルを効率的に復号化するVLDが必要である。また、種々のMPEG可変長コードを復号化するのに必要なメモリ量を最小限にするVLDが必要である。さらに、所定のインストラクションセットに従ってマイクロシーケンサからインストラクションを受信すると共にマスタコントローラからインストラクションを受信するVLDが必要である。

米国特許出願第5502493号(US-A-5,502,493)では、可変長デコードにより構成されるMPEG信号のデコードを開示している。

ITU-T勧告H.222.0、情報通信技術-動画及び関連するオーディオ情報の一般符号化：システム、1995年7月(ITU-T Recommendation H.222.0, Information Technology - Generic Coding of Moving Pictures and Associated Audio Information: Systems, July 1995)(ISO/IEC国際規格13818-1と同一)では、オーディオ及びビデオデータが復号化の前にデマルチプレクスされるシステムを開示している。

また、米国特許出願第5604499号(US-A-5,604,499)では、圧縮されたビデオデータを可変長コードテーブルを用いて復号化する可変長テーブルデコードを開示している。

## 【手続補正書】

【提出日】平成12年11月20日(2000.11.20)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【発明の名称】デジタル符号化されたビデオ信号を復号化する可変長デコード

【特許請求の範囲】

【請求項1】 送信されたフレームの画像エリアを表す複数の可変長符号化データからなる圧縮ビデオデータストリームを復号化する可変長デコード(104)であって、

可変長符号化されたデータを記憶するメモリ(114)と、

メモリに接続され、メモリ(114)からの選択された可変長符号化データを受信するコマンド復号化及び実行回路(136)と、

コマンド復号化及び実行回路(136)に接続され、コマンド復号化及び実行回路(136)にコマンドを供給して可変長符号化データを対応する復号化値に変換するシーケンサ(134)と、

コマンド復号化及び実行回路(136)に接続され、シーケンサ(134)とは独立してコマンド復号化及び実行回路(136)にコマンドを供給して、コマンド復号化及び実行回路(136)の復号化動作を制御するマスタコントローラ(112)とを有する可変長デコード(104)。

【請求項2】 シーケンサ(134)は、複数のインストラクションを記憶するメモリ(140)と、インストラクションメモリ(140)に接続されてメモリ(140)からのインストラクションを復号すると共にコマンド復号化及び実行回路(136)にコマンドを供給して可変長符号化データを対応する復号化値に変換するインストラクション復号化及び制御回路(142)とを備えることを特徴とする請求項1記載の可変長デコード(104)。

【請求項3】 シーケンサ(134)及びマスタコントローラ(112)に接

続されたコマンドインストラクションレジスタ (150) を有し、シーケンサ (134) 及びバスコントローラ (112) は、コマンドインストラクションレジスタ (150) のコンテンツの読み出し及び書き込みを行うことを特徴とする請求項1記載の可変長デコーダ。

【請求項4】 コマンドインストラクションレジスタ (150) は、コマンド復号化及び実行回路 (142) に供給されたインストラクションに関連することとを特徴とする請求項3記載の可変長デコーダ (104)。

【請求項5】 コマンド復号化及び実行回路 (136) に接続され、可変長符号化データを受信すると共に、対応する復号化値をコマンド復号化及び実行回路 (142) に供給する可変長テーブルデコーダ (186) をさらに有することを特徴とする請求項1記載の可変長デコーダ (104)。

【請求項6】 コマンド復号化及び実行回路 (136) は、MPEGシンタックスに従った可変長符号化データを復号化することを特徴とする請求項1記載の可変長デコーダ (104)。

【請求項7】 コマンド復号化及び実行回路 (136) は、可変長符号化データを復号化して、それぞれランレングス値と振幅レベル値とからなるDCT係数シンボルを得ることを特徴とする請求項6記載の可変長デコーダ (104)。

【請求項8】 コマンド復号化及び実行回路 (136) に接続され、DCT係数シンボルを圧縮されたランレングスと振幅レベルの対として記憶するファーストインファーストアウトメモリ及びデコーダ (206) をさらに有することを特徴とする請求項7記載の可変長デコーダ (104)。

【請求項9】 ファーストインファーストアウトメモリ及びデコーダ (206) に接続された逆DCT変換回路 (208) をさらに有し、ファーストインファーストアウトメモリ及びデコーダ (206) が、ランレングスと振幅レベルの対の圧縮解除を行って、送信されたフレームの画像データを再構成する際にDCT変換回路 (208) により使用されるDCT係数を得ることを特徴とする請求項8記載の可変長デコーダ (104)。

【請求項10】 コマンド復号化及び実行回路 (136) は、可変長符号化データを復号化して動きベクトル値を得ることを特徴とする請求項6記載の可変長

デコーダ (104)。

【請求項11】 コマンド復号化及び実行回路 (136) に接続され、動きベクトル値を記憶するファーストインファーストアウトメモリ (210) をさらに有することを特徴とする請求項10記載の可変長デコーダ (104)。

【請求項12】 ファーストインファーストアウトメモリ (210) に接続された動き補償回路 (212) をさらに有し、ファーストインファーストアウトメモリ (210) が、送信されたフレームの画像データを再構成する際に動き補償回路 (212) に動きベクトル値を供給することを特徴とする請求項11記載の可変長デコーダ (104)。

【請求項13】 可変長コードテーブルを用いて、送信されたフレームの画像エリアを表す可変長符号化データからなる圧縮ビデオデータを復号化する可変長テーブルデコーダ (186) であって、

可変長符号化データを記憶するメモリ (156A、156B、162) と、メモリに接続され、可変長符号化データにおけるユニークプレフィクスパターンを識別するパターンマッチ回路 (188) と、

複数の可変長コードのそれぞれに関連する復号化値を有し、可変長コードにおけるユニークプレフィクスパターンにそれぞれ関連する複数のサブテーブルデータからなる可変長コードテーブルデータと、

サブテーブルデータ回路のそれぞれに接続して、サブテーブルデータ回路のそれぞれに対して可変長符号化データを送るデータバス (196) と、

ハタマンマッチ回路 (188) に応じて、可変長符号化データにおける識別されたプレフィクスハタマンとマッチする可変長コードにおけるユニークプレフィクスパターンに関連するサブテーブルデータ回路から復号化値 (198) を得ると共に、識別されたプレフィクスハタマン後の可変長符号化データにおける追加データとマッチするユニークプレフィクスハタマン後の可変長コードにおける追加データを得る制御回路 (190、192) とを有する可変長テーブルデコーダ (186)。

【請求項14】 可変長コードのそれぞれが関連するコード長を有し、制御回路 (190、192) は、ハタマンマッチ回路 (188) に応じて、可変長符号

化データにおける識別されたプレフィックスパターンとマッチする可変長コードにおけるユニークプレフィックスパターンに関連するサブテーブルデータ回路からコード長(202)を得ると共に、識別されたプレフィックスパターン後の可変長符号化データにおける追加データとマッチするユニークプレフィックスパターン後の可変長コードにおける追加データを得ることを特徴とする請求項13記載の可変長テーブルコード(186)。

【請求項15】 メモリ(156A、156B)からの可変長符号化データの所定のビット数をパターンマッチ回路に適用する、メモリ(156A、156B)に関連したシフト回路(164)を有することを特徴とする請求項14記載の可変長テーブルコード(186)。

【請求項16】 シフト回路(164)は、メモリ(156A、156B)における可変長符号化データを選択的にシフトする複数のセレクト回路を有することを特徴とする請求項第15項記載の可変長テーブルコード(186)。

【請求項17】 複数のセレクト回路は複数のセレクトステージに配置され、各セレクトステージが、2のべき乗でメモリ(156A、156B)における可変長符号化データをシフトする、あるいは、可変長符号化データのシフトを全く行わないことを特徴とする請求項16記載の可変長テーブルコード(186)。

【請求項18】 セレクトステージのうちの少なくとも1つは、前のセレクトステージより少ないセレクト回路を有することを特徴とする請求項17記載の可変長テーブルコード(186)。

【請求項19】 各セレクトステージは、その前のセレクトステージより少ないセレクト回路を有することを特徴とする請求項17記載の可変長テーブルコード(186)。

【請求項20】 シフト回路(164)は、最後に得られたコード値に応じて、得られたコード値と等しい数のビット分だけメモリ(156A、156B)における可変長符号化データをシフトすることを特徴とする請求項16記載の可変長テーブルコード(186)。

【請求項21】 可変長コードテーブルを用いて、送信されたフレームの画像

エリアを表す複数の可変長符号化データからなる圧縮ビデオデータストリームを復号化する方法であって、

複数の可変長コードのそれぞれに関連する復号化値を有する可変長コードテーブルを定義し、

可変長コードに関連する複数のユニークプレフィックスパターンを定義し、

各サブテーブルが可変長コードにおけるユニークプレフィックスパターンのうちのいずれかに関連すると共にユニークプレフィックスパターンに関連する少なくとも1つの復号化値とユニークプレフィックスパターン後の可変長コードにおける追加データとを有するように構成された複数のサブテーブルを定義し、

可変長符号化データにおいて、可変長コードに関連するユニークプレフィックスパターンのうちの1つを識別し、

可変長符号化データにおけるユニークプレフィックスパターンに関連するサブテーブルから復号化値(198)を得ると共に、識別されたプレフィックスパターン後の可変長符号化データにおける追加データとマッチするユニークプレフィックスパターン後の可変長コードにおける追加データを得る工程を有することを特徴とする方法。

【請求項22】 コード長を複数の可変長コードのそれぞれに関連させ、

可変長符号化データにおける識別されたプレフィックスパターンとマッチするプレフィックスパターンを有する可変長コードに関連するコード長(202)と、識別されたプレフィックスパターン後の可変長符号化データにおける追加データとマッチするプレフィックスパターン後の追加データとを得る

工程をさらに有することと特徴とする請求項21記載の方法。

【請求項23】 可変長符号化データにおける可変長コードに関連するユニークプレフィックスパターンを識別し、

可変長符号化データにおいて追加データを複数のサブテーブルのそれぞれに同時に適用する工程を有し、

復号化値(198)は、可変長符号化データにおける識別されたプレフィックスパターンとマッチする可変長コードにおけるユニークプレフィックスパターンに関連するサブテーブルと、識別されたプレフィックスパターンの後の可変長符

号化データにおける追加データにマッチするユニークプレフィックスパターンの後の可変長コードにおける追加データとから得られることを特徴とする請求項2記載の方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 相互参照

本願は、1998年5月18日に出願された係属中の仮特許出願60/085797の優先日を主張し、その開示内容を全体として参照することにより特に本願に組み込むものとする。

##### 【0002】

#### 発明の分野

本発明はデジタル符号化されたビデオ信号の復号化に関し、特に、固定長の直や可変長コードを用いて符号化されたビデオデータや制御情報を復号化するデコーダに関する。

##### 【0003】

#### 発明の背景

近年、特に家庭用電子機器業界においてビデオ信号のデジタル送信が普及している。このようなデジタルビデオ信号送信の使用や、例えばDVD (digital versatile disc) プレーヤーやデジタルビデオ放送 (DVB) セットトップボックスでの受信の普及により、送信された画像シーケンスの画質や、既存のNTSCやPALアナログ送信システムにおけるビデオ信号の記憶、操作、表示をより効果的に制御する性能が改善されている。このような高性能化を促進するため、業界は、国際標準化機構 (ISO) に規定されるMPEG (Moving Picture Experts Group) によって提唱されるデジタルビデオ圧縮のフォーマット、すなわち、ISO 11172-2 (MPEG-1) 及びISO 13818-2 (MPEG-2) という2つの規格で定義されたビデオビットストリームを符号化するためのシナックスを特定している。以下の説明では、これらの規格によるビデオ信号をデジタル符号化するために使用されるビットストリームシナックスをより詳細に説明するため、ISO 11172-2 (MPEG-1) 及びISO 1381

8-2 (MPEG-2) を参照する。これらの規格はいずれも全体として参照することにより、特に本明細書に組み込むものとする。

##### 【0004】

MPEG-1及びMPEG-2により定義されるビットストリームシナックスは、ビットストリームにおける一般的な3種類の情報又はデータ、すなわち、ビットストリームを定義するのに必要な制御情報と、送信された画像シーケンスを適切に圧縮解除し再生するのに必要な制御情報と、符号化されたビデオデータとに関するものである。ビットストリーム制御情報は、ビットストリームがパケット化されたビデオ又はオーディオデータであること、あるいは、ビットストリームが例えばMPEG-1又はMPEG-2のいずれかを用いて符号化されたビデオ信号であることを識別することもできる。画像制御情報には、例えばフレームの縦横のサイズ、すなわち、ライン毎の画素 (ペル) 数、フレーム毎のライン数、フレーム又はフィールドレート、アスペクト比等が含まれる。以下により詳細に説明するが、符号化されたビデオデータは、各フレーム又はフィールドの再形成に必要な、DCT変換及び量子化が施されたクロミナンス及び輝度ペル値を表す。

##### 【0005】

MPEG-1及びMPEG-2はそれぞれ、空間的及び時間的冗長性を除去することにより情報密度及び符号化効率を改善するように構成されたビットストリームシナックスを特定する。各MPEGピクチャは、16×16輝度ペル (Y)、又は、4つの8×8変換ブロックのペルの2×2の列からなる一連のマクロブロックに分割される。各マクロブロックは、さらに8×16クロミナンスペル (U, V)、又は、2つの8×8ブロックのペルの1×2の列からなる。符号化プロセスでは、8×8ペルブロックの離散的コサイン変換 (DCT) 符号化の後に、量子化、ジグザグスキャン、ゼロであるラン (ランレングス) 及び振幅レベルの可変長符号化を行うことにより空間的冗長性が除去される。時間的冗長性を除去するには動き補償予測を用いる。

##### 【0006】

ビデオに関しては、MPEGではイントラ (I) フレーム、順方向予測 (P)

フレーム、双方向予測 (B) フレームを考慮する。I フレームは独立して符号化され、3 つのフレームタイプのうち符号化効率が最も悪い。P フレームは I フレームより符号化効率が良く、その前に符号化された I 又は P フレームに関して符号化される。B フレームは 3 つのフレームタイプのうち符号化効率が最も良く、前後の I 又は P フレームの両方に関して符号化される。MPEG システムにおけるフレームの符号化の順序は、フレームのプレゼンテーション順と必ずしも同じではない。ビットストリームのヘッダにより、デコーダが動画のプレゼンテーションのためのフレームの時間及びシーケンスを適切に復号化するために使用する情報が得られる。

#### 【0007】

デジタル送信されたビデオビットストリームを復号化するのに使用される一般的なビデオデコーダは、ビットストリームのパージングを行って MPEG 可変長コードテーブル (VLC) を用いて量子化 DCT 係数及び動きベクトルを復号化するように構成された可変長デコーダ (VLD) を制御するためのマイクロコントローラ又はシーケンサを備えている。各ブロックの量子化係数値をそのブロックの逆ジグザグを表す値のストリームに変換し、その値を逆量子化するには、逆変換プロセッサを用いる。逆量子化された DCT 係数は、逆 DCT 変換を行ってクロミナンス及び輝度係数値を回復する逆離散のコサイン変換 (IDCT) プロセッサに供給される。そして、これらの値は復号化された動きベクトルと共に動き補償 (MC) プロセッサに供給され、動き補償プロセッサが MPEG 圧縮解除を行って I、P、B フレームをフルビデオフレームに変換する。

#### 【0008】

MPEG シンタックス標準のビットストリームのハーjing 及び復号化を行う一般的な VLD 構造では、ビデオビットストリームの所定数の未復号化ビットが 1 以上のレジスタに記憶される。VLD は、これらのビットのうちの少数のビットをレジスタから抽出し、最も左のビットが常に VLD により抽出された最初のビットに整合するようになっている。そして、VLD は MPEG VLC テーブルのうちの 1 つのルックアップを行い、可変長符号化データを復号化すると共にコード長を得る。抽出されたビットにおける可変長コードを復号化した後、VLD

D はレジスタ内のビットに対してマスク／シフト／OR (MASK/SHIFT/OR) 処理を行い、レジスタ内の最も左の位置にある最初の未使用ビットの再整合を行う。VLC テーブルは、通常、約  $2^n \times m$  個のメモリ位置を有する 1 以上の PAL 又は ROM に含まれている。ここで、「n」は VLC テーブルのそれれぞれにおいて可能な最大可変コード長を表し、「m」はユニーク VLC テーブル数を表す。

#### 【0009】

なお、VLD 構造によっては、復号化プロセス後の未使用ビットの整合に必要なシフト／マスク／OR 処理により VLD の全体的な復号化速度が大幅に影響されることは、当該分野の技術者にとっては明らかであろう。これらの処理はそれぞれ 1 サイクル以上を必要とすることがあるため、各 DCT 係数シンボル (すなわち、ランレンギングス及び振幅レベルの各対) を復号化して未使用ビットの再整合を行うのに VLD が多数のサイクルを必要とするので、VLD の復号化効率は大幅に低下してしまう。さらに、VLD 構造によっては、各ユニーク VLC テーブルの各可変長コードが別々のメモリ位置に記憶されるので、VLC テーブルが VLD のコストと複雑性を増加させてしまう。

#### 【0010】

従って、MPEG-1 又は MPEG-2 規格により符号化された可変長 DCT 係数及び動きベクトルを効率的に復号化する VLD が必要である。また、種々の MPEG 可変長コードを復号化するのに必要なメモリ量を最小限にする VLD が必要である。さらに、所定のインストラクションセットに従ってマイクロシーケンサからインストラクションを受信すると共にマスタコントローラからインストラクションを受信する VLD が必要である。

#### 【0011】

#### 発明の概要

本発明は、特に MPEG-1 及び MPEG-2 シンタックス標準のビデオビットストリームを復号化するのに適した可変長ビデオデコーダにより実現される。このビデオデコーダは、マクロブロックと個々のスライスからなるブロックレイヤとを復号化して DCT 係数値と動きベクトルを生成する、1 サイクル当たり単

イベントのスライスハージングエンジンとして構成される。

#### 【0012】

このビデオコードダは、MP EG規格により可変長復号化プロセスを制御するVLDコマンド復号化／実行ユニットとのインターフェースを行うマイクロシケンサを備える。復号化プロセスにおいて、マイクロシケンサは、可変長復号化を行うVLDコマンド復号化／実行ユニットに対するコマンドの送出、又は、インストラクションROMに記憶されるインストラクションセットを通して得られるプログラムフロアの制御のいずれかを行う。さらに、ビデオコードダは、上位レイヤハージングや復号化された画像シケンサの再構成のための全体的な復号化プロセスの制御を司るRISC CPUからのデコードインストラクションを受信することができる。

#### 【0013】

符号化されたビデオデータはDRAMメモリに記憶され、チャネルバッファFIFOを介してビデオコードダに供給可能とされる。本発明によれば、これら符号化されたビデオデータビットのうちの所定数が、ロータ／パレルシフタ及びポイントレジスタを使用して、ビデオコードダと可変長テーブルコードダに対して認識可能とされる。パレルシフタ及びポイントレジスタは、ポイントアドレス+31までのポイントアドレスからのビットをロータ／パレルシフタデータとして、ビデオコードダと可変長テーブルコードダの両方に対して認識可能とする。ビデオコードダは、ロータ／パレルシフタデータの可変長コードを復号化して、各スライス毎に必要なDCT係数と動きベクトルを得る。可変長コードが復号化された後、ロータ／パレルシフタのポイントレジスタはインクリメントされ、次の復号化サイクルの準備を行う。

#### 【0014】

また、本発明によれば、ビデオコードダが各MP EG VLCテーブルにアクセスして必要な復号化された値を得ることを可能にするため、新規な方式が提供される。各MP EG VLCテーブルは、各テーブルにおいて識別されたユニークプレフィクスハターンにより定義される一連のサブテーブルに分割されている。可変長復号化プロセスにおいて、抽出されたロータ／パレルシフタデータの

32ビットが、可変長テーブルコードダにおけるパターンマッチロジック及びMUXコントリールに用いられ、ロータ／パレルシフタデータのユニークプレフィクスパターンを識別する。同時に、プレフィクスパターンの後のビットが、各MP EG VLCテーブルのサブテーブルすべてに用いられる。可変長符号化されたデータが復号化された後、可変長テーブルコードダは復号化された値と有効コードステータスビットを供給する。また、可変長テーブルコードダは、ロータ／パレルシフタのポイントレジスタにコード長信号を供給して、ポイントレジスタをコード長によりインクリメントする。

#### 【0015】

さらに、本発明によれば、復号化されたDCT係数は圧縮されたランレングスと振幅レベルの対として、ランレベルコードダ／FIFOに記憶される。ランレベルコードダ／FIFOは、ランレングスと振幅レベルの対の圧縮解除を行って、逆変換ユニットに必要なDCT係数を得る。これにより、ハフマン符号化された可変長の対の復号化を、先に復号化されたランレベルの対のランレベル復号化と同時に行うことが可能となる。動きベクトルは、動き補償ユニットで必要となるまでmv/dmv/FIFOに記憶される。

#### 【0016】

本発明の上述の及び他の特徴、目的、利点については、添付図面とその説明により明らかにされる。

#### 【0017】

#### 好ましい実施例の詳細な説明

図面を参照して、特にFig. 1を参照して、デジタル符号化されたビデオ信号のオーディオ／ビデオ復号化や圧縮解除されたビデオ画像のプレゼンテーションを行うための種々の機能モジュール102～112を備えた復号化システム100を示す。好ましくは、復号化システム100は、例えば、DVD(digital versatile disk)やデジタルビデオ放送(DVB)セットトップボックス(STB)等におけるデジタルオーディオ／ビデオ受信を目的とした特定用途向けIC(ASIC)として構成される。なお、Fig. 1に示す機能ユニットは例であり、実際にはさらに機能ユニットを追加してもよい。機能ユニット102～112

はそれぞれ、ダイナミックランダムアクセスメモリ (DRAM) である大型オプチップメモリ114と種々の方法でインタラクションを行う。DRAM114へのアクセスはASIC100上のメモリコントローラ116により制御される。

#### 【0018】

例として、ASIC100の機能ユニットのうちの幾つかについて説明する。これらの機能ユニットには、好ましくはデジタル符号化されたビデオ／オーディオ入力信号をライン118にて最大で72Mbpsのデータレートで受信するプログラマブル入力デジタルサブプレクサ102が含まれる。デジタル符号化されたビデオ／オーディオ信号は、パケットデータの構造を識別するための所定のビットストリームシンタックスを有する「ハケット化エレメントストリーム」(PE SSTリーム)として一般に知られているパケット化データのシリアルビットストリームである。デマルチプレクサ102は、供給されるデジタル符号化された信号のハーキングを行って、ビデオ、オーディオ、その他のデータのパケットに分解し、メモリコントローラ116を用いてDRAM114内のバッファに入力信号を記憶する。以下により詳細に説明するが、本発明の原理によるビデオコーデグ104は、DRAM114内のバッファに記憶されたビデオデータと画像制御情報を検索し、(DRAM114に頻繁且つ繰り返しアクセスすることにより) そのビデオデータと制御情報を復号化し、その後、復号化されたビデオ情報を出力エンコーダ108に供給して、バス120を介してモニタに出力されるように機能する。出力エンコーダ108は、好ましくは、NTSCの場合、30fpsで720×480画素の画像サイズを供給し、PALの場合、25fpsで720×576画素を供給するNTSC/PALエンコーダである。オーディオコーデグ106は、DRAM114からオーディオ情報を検索し、そのオーディオ情報を出力するために復号化し、出力するためのオーディオ情報をバス122を介してスピーカに供給する。また、ASIC100は、ライン124を介してホストマイクロコントローラとのインターフェースを行い、ASIC100の動作の監視及び制御をホストコンピュータに行わせるホストインターフェース110を備えている。

#### 【0019】

上述の機能ユニット以外にも、ビデオコーデグ104により復号化されるメインビデオに伴うサブタイトルやその他の情報を含むサブピクチャビデオ情報を復号化する、さらに1以上のビデオ復号化ユニットを備えてもよい。さらに、バス126及びGバス128に接続されたOSD部により、ASIC100内で画面表示を生成してもよい。画面表示は、ホストCPUの動作、及び/又は、ASIC100が使用されている装置の再生又は受信状態に対するフィードバックを与えるように、ホストCPUから受信したコマンドに応じて生成することができる。

#### 【0020】

特定用途向けIC100の制御は、ASIC100上の他の各機能ユニットの動作の制御及び監視を行う縮小命令セット中央処理装置(RISC CPU)112により行われる。RISC CPU112は、インストレーションメモリ30に記憶されている16ビットのインストレーションに応じる。インストレーションメモリ30は、ASIC100の比較的簡単なプログラムに適した4096個の16ビットインストレーションを保持している。ASIC100により実行される複雑なプログラムについては、DRAM114内のより大きなインストレーションバッファからプログラムメモリ130に対して、4096個のインストレーションの「ページ」のスワップイン、スワップアウトを行えばよい。

#### 【0021】

Fig. 1に示すように、RISC CPU112は、バス126及びGバス128として知られる2つのメインバスを介してASIC100内の各機能ユニットとインタラクションを行う。具体的には、各機能ユニットは、メモリコントローラ116に対して、そしてDRAM114に対してデータの検索及び供給を行うための64ビットGバス128に接続されている。さらに、Gバス128を介してある機能ユニットから他の機能ユニットに各ブロックのデータを転送してもよい。

#### 【0022】

種々のコマンドの他、メモリアクセス又は転送の要求が、バス126を介してある機能ユニットから他の機能ユニットに送られる。バス126は、メモリ



アクセスを頻繁に行う機能ユニットにより使用される1以上の32ビットバス、あるいは、幾つかの機能ユニットにより共有される単一の8ビット時間多重化バスにより構成されてもよい。Rバスコントローラ132は、Rバス126の使用要求を受信し、必要に応じてこれらの要求を調整し、要求の優先順位が最も高い機能ユニットに対してRバスへのアクセスを供給する。

#### 【0023】

メモリアクセスが要求されると、要求した機能ユニット102~112は、Rバス126を介してメモリアドレス116に仮想アドレスを供給する。メモリアクセス要求は、単一のメモリアドレスの供給を要求するものでよく、また、要求に応じてアクセスされる多数のメモリアドレスの識別を含むものであってもよい。メモリアドレス116は、要求に応じてDRAM114における識別位置へのアクセスを管理することにより要求に応答する。多数のメモリアドレス要求が未処理である場合、メモリアドレス116は、その未処理の要求を調整して、要求の優先順位が最も高い機能ユニットに対してアクセスを許可する。

要求に応じてのメモリアドレス116の動作の詳細については、1997年4月30日出願の米国特許出願第08/846590号 (U.S. Patent application Serial No. 08/846,590) 「デジタルビデオのためのメモリアドレス生成 (MEMORY ADDRESS GENERATION FOR DIGITAL VIDEO)」に記載されており、本願では、これを全体として参照することにより組み込むものとする。さらに、RISC CPU112の動作とその縮小命令セットの詳細については、1997年5月30日出願の米国特許出願第08/865749号 (U.S. Patent application Serial No. 08/865,749) 「デジタルオーディオ復号処理装置 (SPECIAL PURPOSE PROCESSOR FOR DIGITAL AUDIO VIDEO DECODING)」に記載されており、本願では、これを全体として参照することにより組み込むものとする。

#### 【0024】

さらに、Rバス126を介して、種々の機能ユニットの状態に関するデータが使用可能である。機能ユニットは、Rバス126を介して識別された特定アドレスにてアクセスすることができ、ステータス情報を供給する。従って、例えば、ビデオデコーダ104からステータスワードにアクセスするには、DEC\_VALUEア

ドレスを識別するアクセス要求をRバスコントローラ132に供給する。これに応じて、Rバスコントローラ132は、要求している機能ユニットに対してビデオデコーダ104のステータスワードを供給させる。

#### 【0025】

機能ブロックにはRバス126を介してコマンドも送られる。ある機能ブロックにコマンドを供給するには、Rバスを介してその機能ユニットの特定アドレスにコマンドを送る。従って、例えば、ビデオデコーダ104にコマンドを供給するには、VLD\_CMDアドレスを識別するアクセス要求をRバスコントローラ132に供給する。これに応じて、Rバスコントローラ132は、要求している機能ユニットがRバス126にコマンドを供給することを可能にすると共に、ビデオデコーダ104のコマンドバッファ内にコマンドを受信させる。

#### 【0026】

ビデオデコーダ104は本発明の主要部であり、その動作や特徴についてはFig. 2~6Gに明確に示す。本発明の原理によれば、ビデオデコーダ104は、特にMPEG-1及びMPEG@ML (Main Profile @ Main Level) MPEG-2シンタックス準拠のデジタル符号化されたビデオ信号のビデオ復号化を行うように構成されている。本願において全体として参照することにより組み込まれたISO/IEC1382-2:1995 (E) に記載されているように、MPEG-2シンタックスは、特に、シーケンスレイヤ、グループオブピクチャレイヤ、ピクチャレイヤ、スライスレイヤ、マクロブロックレイヤ、ブロックレイヤという6レイヤの画像シーケンスを表すビデオデータ及び制御情報の圧縮ビットストリームを定義する。符号化されたビットストリームにおける各レイヤには、そのレイヤを識別すると共に、ビデオデコーダ104によりハーミング及び復号化を行う必要がある固定長データ値又は可変長ハフマン符号化データのいずれかあるいは両方を与えるユニークスタートコードが含まれる。スライスレイヤより上の画像制御情報の上位レイヤハーミングは、RISC CPU112により行われる。このようにして、RISC CPU112は、ビデオビットストリームにおいて送信された画像シーケンスの圧縮解除、再構成、プレゼンテーションを制御するための十分な情報を圧縮ビデオビットストリームから得る。

## 【0027】

次に、Fig. 2及び2Aを参照して、ビデオコーデグ104のブロック図を詳細に示す。以下に詳細に説明するが、ビデオコーデグ104の主な機能は、個々のスライスのマクロブロック及びブロックレイヤを復号化するための、1サイクル当たり1順序シンボルのスライスハバージングエンジンである。スライスエンコードに達すると、RISC CPU112に割り込みが送られて、種々のメモリチェックを行うと共に次のスライスの処理を命令する。ビデオコーデグ104は主として、ライン138を介してVLDコマンド復号化/実行ユニット136とのインターフエースを行うマイクロシークンサ134を通して制御される。マイクロシークンサ134は、256×16インストラクションROM140とインストラクション復号化/制御ユニット142を備えている (Fig. 2A参照)。各スライス毎のマクロブロック及びブロックレイヤの復号化プロセスにおいて、マイクロシークンサ134は、VLDコマンド復号化/実行ユニット136にコマンドを送って可変長復号化を行うか、あるいは、インストラクションセットにより与えられるプログラムフローを制御するようにプログラムされている。さらに、VLDコマンド復号化/実行ユニット136は、Rバスインターフェース144、ライン146、マルチプレクサ148を介してRISC CPU112からインストラクションを直接受信してもよい。以下に詳細に説明するが、RISC CPU112、マイクロシークンサ134、VLDコマンド復号化/実行ユニット136は、VLD構造データハスの一部を構成する一連のVLDコマンドインストラクションレジスタ (VCIレジスタ) 150のコンテンツの読み出し及び書き込みを行うことができる。

## 【0028】

上述のように、符号化されたビデオデータは、まずDRAM114に記憶される。符号化されたビデオデータは、Gバス128を介してビデオコーデグ104からメモリコントローラ116までの各ユニットに使用可能とされる。ビデオコーデグ104は、16×64チャネルバップファFIFO152としてのGバスを備え、このバップファFIFO152は、復号化プロセス中にそれがバップファFIFO152が空になったり溢れたりしないように十分な量の符号化されたビデオ

ビットストリームを記憶する。

## 【0029】

ビデオコーデグ104の主な機能の一つとして、ビデオビットストリームにおける可変長符号化されたデータを復号化することが挙げられる。可変長データは、MPEG-1及びMPEG-2規格で定義されるVLCテーブルに従ってハバマン符号化される。本発明のVLDはMPEG VLCテーブルのうちの少なくとも11個のテーブルをサポートする。すなわち、macroblock\_type\_L、macroblock\_type\_P、macroblock\_type\_B、macroblock\_type\_D、macroblock\_address\_increment、dct\_dc\_size\_luma、dct\_dc\_size\_chrominance、ac\_table (テーブル0及びテーブル1)、coded\_block\_pattern、motion\_code、dmvector である。

## 【0030】

Fig. 2に明確に示すように、チャネルバップファFIFO152は、チャネルバップファFIFO152から各64ビットバスを介して一対のA、Bレジスタ156A、156Bのそれぞれに64ビットのビデオデータを供給する。本発明によれば、ポインタアドレス+31までのポインタアドレスからのビットをVLDコマンド復号化/実行ユニット136に対して認識可能にするため、ローデータ/バレルシフト158とポインタレジスタ160が設けられている。これら32ビットは、ローデータ/バレルシフトデータ162としてVLDコマンド復号化/実行ユニット136に供給される。

## 【0031】

Fig. 2及び3を参照して、A、Bレジスタ156A、156Bは、128ビットリングに接続され、Aレジスタのビット63からBレジスタのビット64へのポインタの境界切り替えと、Bレジスタのビット127からAレジスタのビット0への境界切り替えを可能にする。ポインタがAレジスタからBレジスタへ切り替わる時、Aレジスタのコンテンツは新たなデータによりリフレッシュされる。同様に、ポインタがBレジスタからAレジスタへ切り替わる時、Bレジスタのコンテンツは新たなデータによりリフレッシュされる。リングを回るポインタの動きを可能にすると共に128ビットのそれぞれをポインタに対してアクセス可能にするため、Fig. 3に示すバレルシフト164は、2のべき乗分

げデータの左方向への種々のインクリメントのシフトを行うか、全くシフトを行わない7つのセレクトステージを有している。第1ステージ166は、「ステージ64/0」と称するもので、128ビットのそれぞれを左方向に64ビットシフトさせるか、全くシフトさせない128個のセレクト ( $D_0 \sim D_{127}$ ) を有している。第2ステージ168は、「ステージ32/0」と称するもので、左方向へ32ビット分のシフトを行うか、全くシフトを行わない95個のセレクトを有している。第3ステージ170は、「ステージ16/0」と称するもので、左方向へ16ビット分のシフトを行うか、全くシフトを行わない63個のセレクトを有している。第4ステージ172は、「ステージ8/0」と称するもので、左方向へ8ビット分のシフトを行うか、全くシフトを行わない47個のセレクトを有している。第5ステージ174は、「ステージ4/0」と称するもので、左方向へ4ビット分のシフトを行うか、全くシフトを行わない39個のセレクトを有している。第6ステージ176は、「ステージ2/0」と称するもので、左方向へ2ビット分のシフトを行うか、全くシフトを行わない35個のセレクトを有している。第7ステージ178は、「ステージ1/0」と称するもので、左方向へ1ビット分のシフトを行うか、全くシフトを行わない33個のセレクトを有している。

### 【0032】

バレルシフト164の構造により、A、Bレジスタ156A、156Bの128ビットのうちいずれか32ビットをロータ/バレルシフトデータ162としてVLDコマンド復号化/実行ユニット136に対して使用可能とすることができ、各ステージ166～178では、左方向へのシフトを矢印180で示し、シフトなしを矢印182で示している。バレルシフト164に関して用いているように、「セレクト」という用語が、先に詳細に説明した左シフト又はシフトなしの動作を行ういかなる回路をも意味することは、当該分野の技術者にとっては理解できるであろう。本発明によるバレルシフト164の動作では、Fig. 3に仮想的な三角形182に示すように、種々のセレクトをステージ168～178の幾つかから除くことができる。バレルシフト164を対称的な長方形ではなく台形に切ることにより、不要なセレクトを除去して、コストとハードウェアの

節約ができることがわかる。

### 【0033】

Fig. 2及び5に明確に示すように、ロータ/バレルシフトデータ162の32ビットは、MPEG規格の可変長コード (VLC) テーブルを組み込んだ可変長テーブルデコード184に対しても使用可能とされる。本発明によれば、VLDコマンド復号化/実行ユニット136が11個のMPEG VLCテーブルのそれぞれにアクセスすることを可能にする新規な方式が提供される。Fig. 4の“macroblock\_address\_increment”についてのVLCテーブルを例として、可変コードにおける最初の「1」に至る「0」の数を定めるプレフィクスパターンと、すべてのユニークプレフィクスパターンからなるセットを発生させるのに必要なエキストラロジックが各MPEG VLCテーブルにおいて識別されている。

### 【0034】

例えば、Fig. 4の“macroblock\_address\_increment”テーブルでは、各可変長コードが、 $K_0$ 、 $K_1$ 、 $K_2$ 、 $K_3$ 、 $K_4$ 、 $K_5$ 、 $K_6$ 、 $K_7$ 、 $K_8$ 、 $K_9$ 、 $K_{10}$ 、 $K_{11}$ 、 $K_{12}$ 、 $K_{13}$ 、 $K_{14}$ 、 $K_{15}$ 、 $K_{16}$ と定義されたプレフィクスパターンを有している。 $K_0$ は、最初の「1」の前に「0」がないことを示し、 $K_1$ は、最初の「1」の前に「0」が1つであることを示し、以下、 $K_2$ 、 $K_3$ 、 $K_4$ 、 $K_5$ 、 $K_6$ についても同様である。可変長コードの幾つかについては、すべてのユニークプレフィクスパターンのセットを発生させるのに、 $K_{10}$ 、 $K_{11}$ 、 $K_{12}$ 、 $K_{13}$ 、 $K_{14}$ 、 $K_{15}$ 、 $K_{16}$ 、 $K_{17}$ 、 $K_{18}$ 、 $K_{19}$ 、 $K_{20}$ のように「1」の前に「0」が続いているハターンの後にエキストラロジックが必要である。このように、各サブテーブルがユニークプレフィクスパターンのいずれかに対応するように、サブテーブルのセットをMPEG VLCテーブルのそれぞれにおいてプレフィクスパターンにより定義してもよい。さらに、各可変長コードは、可変長コードにおけるビット数を定めるコード長を有している。インクリメント値は、ピクチャの左端に対する、あるスライスにおける最初のマクロブロックの水平位置、あるいは、最後に送信されたマクロブロックからの差分インクリメント値を定義する“macroblock\_address\_increment”の各可変長コードに関連している。この例から、当該分野

の技術者にとっては、他のMPEG VLCテーブルについてのプレフィクスパターンとエキストラロジックがどのように定義されるかが容易にわかるであろう。

#### 【0035】

次にFig. 5に示す可変長テーブルデコード186を参照して、可変長復号化プロセスにおいて、ロテータ／パレルシフトデータ162の32ビットがパターンマッチロジック及びMUXコントロール188に送られ、ロテータ／パレルシフトデータ162におけるユニークプレフィクスパターンを識別する。識別されたプレフィクスパターンマッチ、例えばK<sub>0</sub>、K<sub>1</sub>等は、11個のMPEG VLCテーブルのそれぞれにおける各MUX192の出力を制御するための信号[MUX CNTL]190として使用される。従って、パターンマッチロジック及びMUXコントロール188により決定されたプレフィクスパターンマッチは、Fig. 5に示すような“macroblock\_address\_increment”や“motion\_code”のVLCテーブルを含む11個のMPEG VLCテーブルのすべての間で共用され、それぞれのMUX192の出力を制御する。

#### 【0036】

以下に詳細に説明するが、ある時点で復号化されるVLCテーブルは、VLCコマンド復号化／実行ユニット136により与えられる「VLCテーブル選択」信号194により決定される。各MUX192に送られるMUX CNTL信号190を定義するためにプレフィクスパターンマッチをパターンマッチロジック及びMUXコントロール188により識別すると同時に、バス196で示すように、ロテータ／パレルシフトデータ162の32ビットにおける先頭のパターンマッチ後のビットが、11個のMPEG VLCテーブルのそれぞれにおけるサブテーブルのすべてに同時に送られる。従って、“macroblock\_address\_increment”のVLCテーブルが「VLCテーブル選択」信号194により選択され、プレフィクスパターンマッチがK<sub>0</sub>、K<sub>1</sub>であり、バス196を介してサブテーブルK<sub>0</sub>、K<sub>1</sub>に「1」が適用された場合、MUX192は、(インクリメント値を示す)復号値14と、(可変長コードにおけるビット数を示す)コード長8と、(コードの有効性を示す)有効ステータスビットをVLCコマンド復号化／実行ユ

ニット136に出力する。従って、復号化プロセスの終了後、可変長テーブルデコード186は、復号化値198と有効コードステータスビット200からなる2つの信号をVLCコマンド復号化／実行ユニット136に供給する。また、可変長テーブルデコード186は、ライン204を介してポインタレジスタ160にコード長信号202を供給して、コード長によりポインタレジスタをインクリメントする。可変長テーブルデコード186は、RAM又はROMであってもよいが、好ましくは配線による最適化ランダムロジックである。

#### 【0037】

次にFig. 2及び3を参照し、可変長テーブルデコード186からのコード長信号202を使用して、ポインタレジスタ160をインクリメントする。コード長信号202は、パレルシフト164によりパレルシフトにおける必要なシフトパターンを制御するのにも使用される。例えば、コード長信号202の値が13である場合、パレルシフト164のステージ172(8/0)、174(4/0)、178(1/0)が左方向に13ビットのシフトを生じることが可能となり、他のステージはシフトがない。パレルシフト164によりシフト処理がおこなれた後、VLCコマンド復号化／実行ユニット136と可変長テーブルデコード186に対して新たなセットのロテータ／パレルシフトデータ162が認識可能とされる。本発明の可変長テーブルデコード186とパレルシフト164は、MPEG可変長コードの効率的な復号化を行うと共にVLCテーブルのメモリ要件を低減する。

#### 【0038】

MPEG規格によれば、可変長符号化されたDCT係数は、Fig. 2にシボル< r, l>として示すようにランレングスと振幅レベルの対として復号化される。値「r」は、「l」により与えられる振幅レベルを有する係数の前のゼロ値係数の数を表す。例えば、シボル< 5, 2>は、係数値2の前にゼロが5つであることを示す。また、本発明によれば、ランレングスと振幅レベルの対が可変長テーブルデコード186により復号化されると、ランレングスと振幅レベルの対のシボルは、VLCコマンド復号化／実行ユニット136から64×18ラシボルデコード／FIFO206に送られ、64×18ランレベルデコード／

FIFO206では、逆ジグザグ/逆量子化/逆DCT変換ユニット208で必要となるまで、それらの対のシンボルを圧縮した対として記憶する。なお、圧縮シンボルの数はDCT係数の数よりも少ないので、ランレベルデコーダ/FIFIFO206は、先に復号化されたランレベルの対のランレベル復号化と同時に、ハフマン符号化された可変長対の復号化を行うことができる。

【0039】

また、Fig. 2に示すように、復号化された動きベクトル「mv」と差分動きベクトル「dmv」がVLDコマンド復号化/実行ユニット136から16×13mv/dmvFIFO210に送られ、16×13mv/dmvFIFO210は、動き補償ユニット212で必要となるまでそれらを記憶する。本願では、1997年12月30日出願の米国特許出第09/001122号 (U.S. Patent Application Serial No. 09/001,122) 「動き補償されたデジタルビデオ復号及びこのためのバッファメモリアドレッシング (MOTION COMPENSATED DIGITAL VIDEO DECODING AND BUFFER MEMORY ADDRESSING THEREFOR)」を全体として参照することにより組み込むが、これに詳細に記載されるように、復号化されたビデオデータ直と動きベクトルは、動き補償ユニット212により組み合わされて表が用の完全なI、P、Bフレームを形成する。VLDコマンド復号化/実行ユニット136は、好ましくは動きベクトル、差分動きベクトル、マクロブロックインクリメントアドレス、dc係数、ac係数の計算のためのステートマシンを有している。

【0040】

Fig. 2Aが、マイクロシークンサ134とVLDコマンド復号化/実行ユニット136との間の全体的なプログラムフローコントロールを示すの対して、Fig. 6A~6Gは、ビデオデコーダ104のマイクロシークンサ134によりサポートされるインストラクションセットを示す。特に、マイクロシークンサのインストラクションセットは8つのインストラクション214a~214gからなり、それぞれ3ビットのopcode216を有し、インストラクション214bは2つの異なるインストラクションを表す。Fig. 6A~6Gに示すインストラクションのうち、インストラクション214bのインストラクションIC

MD及びCMDIのみが実行コマンドである。他の6つのインストラクション214a及び214c~214gはすべて、以下に詳細に説明するが、フローコントロールインストラクションである。インストラクション214a~214gのほとんどは、VCIレジスタ150において求めたデータからオフで動作する。

【0041】

以下に示す表は、種々のVCIレジスタ150の記述を行うものである。表1はVCIコントロールレジスタの記述を定義する。表2はマクロブロック及びブロックレイヤレジスタの記述を定義する。表3は上位レイヤ復号化のためのピクチャレイヤレジスタの記述を定義する。表3のレジスタはRISC CPU112により書かれている。表4はコントロール及びステータスレジスタの記述を定義し、表5はプレディクタ及びステートマシンレジスタの記述を定義する。

【0042】

表1：VCIコントロールレジスタの定義

名称	フィールド	タイプ	記述
vci_addr	[5:0]	r/w	VCI間接レジスタアドレス
vci_data	[15:0]	r/w	VCI間接レジスタアドレス

【0043】

VCIコントロールレジスタは、以下の表2~5において定義されるVCI間接レジスタにアクセスするのに使用される。RISC CPU112は、特定アドレスのVCI間接レジスタのコンテンツの読み出し及び書き込みを行うようにVCI\_addrレジスタをセットアップする。この読み出し及び書き込み動作はVCI\_dataレジスタにより行われる。

【0044】

表2：マクロブロックレベルのVCI間接レジスタの定義

名称	アドレス	幅	Dir	記述
vci_mba_x	0x00	7	r/w	マクロブロックアドレスx次元
vci_mba_y	0x01	7	r/w	マクロブロックアドレスy次元
vci_vld_out	0x02	16	r/w	VLDの仮出力
vci_q_scale	0x03	5	r/w	量子化スケール情報

vci\_cbp 0×04 8 r/w 符号化ブロックパターン

【0045】

表2：マクロブロックレベルのVCI間接レジスタの定義（続き）

名称	アドレス	幅	Dir	記述
vci_mtype	0×05	5	r/w	マクロブロックタイプ
vci_motype	0×06	3	r/w	復号化された動きのタイプ
[0] mv_count				
0：1ペクトル、1：2ペクトル				
[1] mv_format				
0：フィールド、1：フレーム				

vci\_dct\_type 0×07 1 r/w dctタイプ

0：フレーム、1：フィールド				
vci_mvfs1	0×08	1	r/w	動き垂直フィールド選択1
reserved	0×09	1		リザーブ
vci_temp_0	0×0a～ 0×0f		r/w	リザーブ

【0046】

表3：ピクチャレベルレイヤのVCI間接レジスタの定義

名称	アドレス	幅	Dir	記述
vci_pic_init	0×10	26	r/w	[25：24]：DC精度 -->00：8ビット、01：9ビット 、10：10ビット、 -->11：11ビット
[23：20]：後方垂直fコード				
[19：16]：後方水平fコード				
[15：12]：前方垂直fコード				
[11：8]：前方水平fコード				
[7]：コンシールメント動きペクトル				

[6]：イントラvlcフレームマッパ

[5]：frame\_pred\_frame\_dct

[4：2]：ピクチャ符号化タイプ

(I, P, B, D)

[1：0]：ピクチャストラクチャ

(フィールド、フレーム)

-->[00]：リザーブ

-->[01]：トップフィールド

-->[10]：ボトムフィールド

-->[11]：フレーム

vci\_seq\_init 0×11 10 r/w [10：4]：mb数×次元

[3]：0：レギュラー、

1：スペシャルローblkタイプ

[2]：0：mpeg2、1：mpeg1

[1：0]：クロマフォーマット

-->00：リザーブ、01：420、  
10：422、  
-->11：444

vci\_conceal 0×12 3 r/w コンシールメントカウント

レジスタ

vci\_temp\_1 0×13～ r/w リザーブ

0×1f

【0047】

表4：コントロール及びステータスのVCI間接レジスタの定義

名称	アドレス	幅	Dir	記述
vci_ctl	0×20	2	r/w	vciステートコントロールレジスタ
[31：30]＝00：ラン				
[31：30]＝10：ホールド				

[31:30] = 11:リセット

vci\_pc 0×21 8 r/w vciプログラマカウンタ  
vci\_rom 0×22 16 r/w vci\_rom出力ポート  
vci\_dmvfifo\_adr

0×23 3 r/w dmb\_fifo読み出し/書き込みアド  
レス

vci\_dmvfifo 0×24 2 r/w dmv\_fifoデータポート  
vci\_pointer 0×25 7 r/w ロータポインタ  
vci\_dec\_lped 0×26 12 r/w 輝度DC予測値。DClpredへの書き

込みは、DEC\_modeレジスタにおけ  
るDC精度ビットにより示される定  
数値へリセットする。

vci\_dec\_cpred 0×27 r/w クロマDC予測値。DEC\_cpredへの  
書き込みは、DEC\_modeレジスタに  
おけるDC精度ビットにより示され  
る定数値にリセットする。

[23:12] V

[11:10] U

vci\_temp\_2 0×28～ リザーブ

0×2f

## 【0048】

表5：ブレディクタ及びステートマシンのVCI間接レジスタの定義

名称	アドレス	幅	Dir	記述
vci_mv_predfho	0×30	13	r/w	mvfs、動きベクトルブレディクタ 前方水平ファースト
vci_mv_predfv0	0×31	13	r/w	mvfs、動きベクトルブレディクタ 前方垂直ファースト
vci_mv_predbho	0×32	13	r/w	mvfs、動きベクトルブレディクタ 後方垂直ファースト

vci\_mv\_predfhl 0×34 13 r/w mvfs、動きベクトルブレディクタ

前方水平セカンド

vci\_mv\_predfv1 0×35 13 r/w mvfs、動きベクトルブレディクタ

前方垂直セカンド

vci\_mv\_predbhl 0×36 13 r/w mvfs、動きベクトルブレディクタ

後方水平セカンド

vci\_mv\_predbv1 0×37 13 r/w mvfs、動きベクトルブレディクタ

後方垂直セカンド

vci\_err\_bits 0×38 10 r エラー条件

[9] motype\_err

[8] coef\_err

[7] rl\_error

[6] cbp\_err

[5] mv\_err

[4] mbi\_err

[3] mtype\_err

[2] get\_ac\_err

[1] dctdcsz\_chroma\_err

[0] dctdcsz\_luma\_err

## 【0049】

表5：ブレディクタ及びステートマシンのVCI間接レジスタの定義 (続き)

名称	アドレス	幅	Dir	記述
vci_stm	0×39	4	r	ステートマシン: [14:12] vstate: motion vec STM [11:9] dc_estate: dc STM [8:7] sc_state: start-code STM [6:3] ms_estate: MB STM [2:0] lc_estate: block STM

vci\_tmp\_3 0×3a～

0×3f

【0050】

表6は、Rバスインターフェース144を備えたVLDコントローラレジスタを定義する。

【0051】

表6：rバスインターフェースを備えたVLDレジスタ

名称	Dir	ビットフィールド	記述
dec_value1	r/w	[15:0]	DECODE BLOCKコマンドを除くすべてのコマンドについての復号化値を保持する。DECODE BLOCKコマンドはこのフィールドの復号化DC係数を戻す。

dec\_value2 r/w

[17:12]	復号化ランレングス
[11:0]	復号化レベル
mvfifo_adr r/w [4:0]	mv_fifo読み出し／書き込みアドレス
mvfifo_data r/w [12:0]	mv_fifoデータポート
ビット4-0	読み出し、書き込み

【0052】

表6：rバスインターフェースを備えたVLDレジスタ（続き）

名称	Dir	ビットフィールド	記述
vld_cntl	r/w	[31:30]	00:ラン、10:ホールド、11:リセット
vld_pic_hdr	r/w	[31:0]	ピクチャレベルパラメータ： [31:28]f_code[0][0](F,H) [27:24]f_code[0][1](F,V)

[23:20]f\_code[1][0](B,H)  
[19:16]f\_code[1][1](B,V)

[15:14]intra\_dc\_prec

[13:12]pic\_structure

[11]topfld\_first

[10]frame\_prediction\_frame\_dct

[9]concealment\_motion\_vectors

[8]q\_scale\_type

[7]intra\_vlc\_format

[6]alternate\_scan

[5]repeat\_first\_field

[4]chroma\_420

[3]progressive\_frame

[2:0]pic\_type

rlfifo\_adr r/w [6:0]  
rl\_fifo読み出し／書き込みアドレス  
ビット6-0:読み出し、書き込み

rlfifo\_data r/w [17:0]  
vld\_status r/w [10:0]

[10]vld\_busy  
[9]vld\_mv\_fifo\_empty  
[8]vld\_cfifo\_empty  
[7:4]chfifo\_wr\_adr  
[3:0]chfifo\_rd\_adr

vld\_cmd r/w [7:0]  
dec\_status r/w [15]

cpuからの実行されるvldコマンドエラー。ビットストリームが検出された場合にセット。ステイキキー

ット。

【0053】



表6：rバスインターフェースを備えたVLDレジスタ（続き）

名称	Dir	ビットフィールド	記述
		[14]	chan_fifo_empty
			チャネルFIFO空き
		[13:10]	chan_fifo_wrprt
			チャネルFIFOライトポイント
		[9:6]	chan_fifo_rdptr
			チャネルFIFOリードポイント
		[5:0]	bitent
			デコーダビットストリームリードポイント。デコーダにより次に読み出されるビットの数。
vld_cmd	r/w	[7:0]	cpuからのvldコマンド—このアドレスがrバスインターフェースから書き込まれるとvldコマンドが実行される。

【0054】

表7は、Gバスインターフェースを備えたVLDコントロールレジスタを定義する。

【0055】

表7：gバスインターフェースを備えたVLDレジスタ

名称	Dir	ビットフィールド	記述
word_fifo	r/w	[63:0]	デコーダFIFOデータポート

【0056】

次にFig. 6A～6Gのマイクローケンサインストラクション214a～214gについて、TBIT（テストビット）インストラクション214aは、VCILEJスタ220における（“bitum”218により与えられる）ビットのテストを行い、4ビット前方相対アドレス222の値と等しい場合に分岐する。COMP（比較）インストラクション214cは、（“msb”224のステータスにより決定される）vci\_vld\_outレジスタの8msb又は8lsbのデータコンテ

ントを即時データ226と比較し、その結果をフラグレジスタ228に保存する。 “st\_code”230=1である場合、vci\_vld\_outレジスタのコンテントはスタートコードパターンと比較され、それらがマッチしてスタートコードが求められたことを示す場合に、フラグレジスタ228が設定される。BRANCHインストラクション214dは、8ビットの分岐目標アドレス232に対する絶対分岐を行う。 “err”ビット234はvciエラーを示し、“halt”ビット236はvciコントロールレジスタをホールドステートに変更することを示す。SETF（フラグ設定）インストラクション214eは、即時データ238に応じた値によりフラグレジスタの8lsbを設定する。INCM（インクリメントマクロブロック）インストラクション214fは、VCILEJスタ240の下位バイトを即時データ242と比較し、等しくなければストールする。フローコントロールインストラクションの最後には、HALTインストラクション214gがビデオデコーダ104のホールドを行い、vld\_busy信号を取り下げる。

【0057】

ICMD及びCMDI（コマンド発生）インストラクション214bは、22のコマンドのうちのいずれかをビデオデコーダ104に送り、出力をVCILEJスタ244に配憶する。ICMDインストラクションにより、マイクローケンサ134はビデオデコーダ104にコマンドを送り、待機する。CMDIインストラクションは、マイクローケンサ134によりビデオデコーダ104へコマンドを送り、マイクローコードをランし続ける。

【0058】

ビデオデコーダ104に送られる種々のコマンドを表8に示す。

【0059】

表8：VLDコマンド

OPコード	シンボル	記述
0000 0001	<vld_escape>	マクロブロックエスケープ
0000 0010	<vld_peek>	ピーカー単にアップデートCCを実行しない
0000 0011	<vld_startcode>	ファーストスタートコード

0000 0100	<vld_mbi>	マクロブロックアドレスインクリメント
0000 0101	<vld_cbp>	符号化ブロックバターン
0000 0110	<vld_intra_luma>	イントラ輝度ブロックをラン
0000 0111	<vld_intra_chroma>	イントラクロマUブロックをラン
0000 1000	<vld_intra_chromav>	イントラクロマVブロックをラン
0000 1001	<vld_non_intra>	非イントラブロックをラン
0000 1010*	<vld_mbs>	マクロブロックスタート信号を発生
0000 1100*	<vld_dpcm>	輝度及びクロマブレディクタをリセット
0000 1101*	<vld_mv_pred>	動きベクトルブレディクタをリセット
0001 0000	<vld_dmv>	デュアルプライム動きベクトルを得る
0001 0100	<vld_non_coded>	非符号化ブロックをラン
0001 0101	<vld_field_motype>	復号化フィールド動きタイプ
0001 0110	<vld_frame_motype>	復号化フレーム動きタイプ
0001 1000	<vld_mtypepi>	Iピクチャのマクロブロックタイプを得る
0001 1001	<vld_mtypep>	Pピクチャのマクロブロックタイプを得る
0001 1010	<vld_mtypecb>	Bピクチャのマクロブロックタイプを得る
0001 1011	<vld_mtyped>	Dピクチャのマクロブロックタイプを得る
0010 xxxx	<vld_get<bitxx>	次の1～16ビット (0=>16) を得る
0011 0xyz	<vld_mvxyz>	動きベクトルを得る: x-前方、y-水平、z-ファースト

\*: cmd i インストラクションから送る必要がある。

【0060】

表8のVLDコマンドは、多種多様の符号化に共通な自立的動作である。VLD インストラクションは、一般に、MPEG VLCテーブルからの値を得るた

めの可変長テーブル復号化コマンド、符号化ビデオデータからのパラメータ化されたビット数を受信するためのインストラクション、又はブロック動作として分類される。

【0061】

例えば、<vld\_get\_bitxx>コマンドは、ロテータ/パレルシフト158から特定数のビットを取り出し、取り出したビット数によりポインタレジスタ160をインクリメントする。<vld\_dmv>コマンドは、ビデオデータビットストリームからの3つのパラメータを用いてMPEG VLCテーブルのうちのいずれかから動きベクトル値を取り出す。具体的には、各動きベクトルは前の動きベクトルと予測の組み合わせとして記憶される。予測はそれ自体、(可変長符号化された) 商と(固定長符号の) 余りとして符号化される。<vld\_dmv>コマンドは、MPEG VLCテーブルを介して商を復号化し、余りの位置と商の値を求めるのに使用される。余りは<vld\_get\_bitxx>コマンドを用いて得られる。そして、商と余りが組み合わされて、動きベクトル成分を生成する。<vld\_peek>コマンドは、取り出したビット数によりポインタレジスタ160をインクリメントすることなしに、ロテータ/パレルシフト158からの特定数のビットを認識可能にする。

【0062】

本発明を種々の実施例を用いて説明し、これらの実施例については非常に詳細に説明したが、当該分野の技術者にとってはさらなる利点及び変更が容易に明らかとなるであろう。従って、本発明は広義において、特定の詳細事項、代表的な装置や方法、説明及び図示した具体例に限定されるものではない。従って、本願の一般的な発明概念の範囲を逸脱しない限り、このような詳細事項を変更してもよい。

【図面の簡単な説明】

【図1】

Fig. 1は、本発明の原理に従ってデジタルオーディオ/ビデオ信号データの圧縮解除及び出力を行うビデオ/オーディオデコーダのブロック図である。

【図2】

Fig. 2は、デジタル符号化されたビデオデータ及び制御情報を復号化する

ための可変長デコード (VLD) により構成される、Fig. 1に示す復号化システムにおけるビデオデコードのブロック図である。

【図3】

Fig. 2Aは、Fig. 2に示すビデオデコードのマイクロシーケンサとVLDコマンド復号化／実行ユニットのブロック図である。

【図4】

Fig. 3は、Fig. 2の可変長デコード (VLD) コマンド復号化／実行ユニットと可変長テーブルデコードに、符号化されたビデオデータの32ビットインクリメントを供給するロデータ／パレルシフタ回路の概略図である。

【図5】

Fig. 4は、Fig. 2の可変長デコード (VLD) コマンド復号化／実行ユニットによりアクセスされる「macroblock\_address\_increment」可変長コード (VLC) テーブルにおけるパターンマッチ構造を示す図である。

【図6】

Fig. 5は、ビデオデータ圧縮解除プロセスにおいて可変長コード (VLC) テーブルにアクセスするときにFig. 2の可変長デコード (VLD) により使用される復号化論理回路の機能ブロック図である。

【図7】

Fig. 6Aは、TBITインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

Fig. 6Bは、ICMD、CMDインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

Fig. 6Cは、COMPIインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

Fig. 6Dは、BRANCHインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

Fig. 6Eは、SETFインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

Fig. 6Fは、INCMインストラクションのマイクロシーケンサインスト

ラクションフォーマットを示す図である。

Fig. 6Gは、HALTインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

# INTERNATIONAL SEARCH REPORT

[illegible]

INTERNATIONAL SEARCH REPORT

International Application No. PCT/US 99/10659

Box I Observations where certain claims were found unsearchable (Continuation of Item 1 of first sheet)

This International Search Report has not been established in respect of certain claims under Article 17(2)(c) for the following reasons:

- 1. ☐ Claims Nos. because they relate to subject matter not required to be searched by the Authority, namely:
- 2. ☐ Claims Nos. because they relate to parts of the International Application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
- 3. ☐ Claims Nos. because they are dependent claims and are not defined in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of Item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

- 1. ☒ As required additional search fees were timely paid by the applicant, this International Search Report covers all searchable claims.
- 2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
- 3. ☐ As only some of the required additional search fees were timely paid by the applicant, this International Search Report covers only those claims for which fees were paid, specifically claims Nos.
- 4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this International Search Report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Prior Art ☐ The additional search fees were accompanied by the applicant's protest. ☒ No protest accompanied the payment of additional search fees.

International Application No. PCT/US 99/10659

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 219

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

- 1. Claims: 1-12  
addressing VLD directly through general controller for MPEG-picture-level operations
- 2. Claims: 13-23  
accelerating code extraction from variable length code tables

INTERNATIONAL SEARCH REPORT

INTERNATIONAL SEARCH REPORT				In national Application file	
Information on patent family members				PCT/US 99/10659	
Patent document cited in patent report	Publication date	Patent family members	Publication date		
US 5579052 A	26-11-1996	FR 2705804 A	02-12-1994		
		FR 2705805 A	02-12-1994		
		DE 69419663 D	02-09-1999		
		EP 0626653 A	30-11-1994		
		EP 0626642 A	30-11-1994		
		JP 7059084 A	03-03-1995		
		JP 7056751 A	03-03-1995		
		US 5600837 A	04-02-1997		
US 5502493 A	26-03-1996	NONE			
US 5604499 A	18-02-1997	JP 7235878 A	05-09-1995		
US 5736946 A	07-04-1998	JP 9130266 A	16-05-1997		

Form PCT/US 99/10659 (12/99)

フロントページの続き

(81)指定国 EP(A), BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, J, T, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP(GH, GM, K, E, LS, MW, SD, SL, SZ, UG, ZW), E, A(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GD, G, E, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, M, N, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, UZ, VN, YU, ZA, Z, W

(72)発明者 ガター、シリシュ、シー

アメリカ合衆国 カリフォルニア州  
94132 サン ホセ ノース キャピタル  
アベニュー ナンバー 78 1265  
Fターム(参考) 5C059 KX15 WA23 MC14 ME02 PP04  
RC14 RC26 SS01 SS06 SS12  
UA05 UA37  
5J064 AA04 BA09 BA16 BB05 BC01  
BC02 BC04 BC29 BD02 BD03

【要約の続き】

ットストリームにおける先頭ハターンを識別すると同時にその先頭ハターンに対応するサブフレームにアクセスすることにより復号化される。ランレングスと振幅レベルのDCT係数シンボルは圧縮された状態で記憶され、逆変換ユニット(208)で必要となると復号化される。動きベクトルも、動き補償ユニット(212)で必要となると記憶される。